ISSN 1016-9288
제45권 7호
2018년 7월호

전자공학회지

The Magazine of the IEIE

vol.45. no.7

Neuromorphic 시스템 설계 기술

- 뉴로모픽 시스템의 설계 기술과 전망
- 멤리스터 소자를 활용한 뉴로모픽 동향연구
- 확률 컴퓨팅 기반 딥뉴럴넷
- 추론 전용 저항성 메모리 기반 뉴럴 네트워크 가속기 하드웨어 연구 동향
- 엣지 디바이스를 위한 뉴로모픽 비동기 프로세서의 설계

대한전자공학회
The Institute of Electronics and Information Engineers
www.theieie.org

"일본 공학 · 산업기술 정보의 보고"
해동일본기술정보센터, 최신 정보 한글요약 제공

해동일본기술정보센터는 ㈜대덕전자 김정식 회장(해동과학문화재단 이사장)님의 열정과 기부금에 의해 설립되어 어느덧 8년째를 맞고 있습니다.

지난 7년간 전기공학, 기계항공, 건설, 토목, 환경, 건축, 재료, 화공, 바이오 등 공학 전 분야의 일본 기술서적과 일본 정부 및 산업계의 백서 및 기술보고서 등을 구입하여 명실상부한 일본 산업기술 전문 정보센터로서의 기반을 닦아왔습니다.

이러한 자료를 국내 학술연구자와 산업계 종사자에게 더 빠르고 정확하게 전파하기 위해, 이번에 모바일 기기에서도 편하게 사용할 수 있는 반응형 웹으로 홈페이지를 새롭게 구축하였습니다. 또한 자료검색을 편하게 하기 위하여 각 서적 별 카테고리를 신설하고, 미래 기술 및 신 산업 관련한 정보를 집중적으로 제공해드리고 있습니다. 아울러 이러한 정보를 신속하게 전달해 드리기 위해 주간브리핑과 월간 e_뉴스레터 발행과 일본산업뉴스 및 특집기사들의 한글 요약제공 등으로 여러분을 찾아갑니다. 많은 이용을 부탁드립니다.

해동일본기술정보센터
HAEDONG-JAPAN TECHNOLOGY INFORMATION CENTER
HJTIC http://hjtic.snu.ac.kr

08826 서울특별시 관악구 관악로 1, 서울대학교 공과대학 35동
전화 : 02-880-8279 | 팩스번호 : 02-871-6900
자료요청 메일 : hjtic@snu.ac.kr

https://www.facebook.com/snuhjtic
http://blog.naver.com/hjtic2010
카카오톡 오픈채팅방HJTIC 브리핑룸

우리 생활 곳곳에 SK하이닉스가 있습니다

영상이 궁금하다면

오늘의 스마트폰에서 미래의 인공지능까지
우리의 삶이 있는 곳에 반도체가 있습니다

사람들의 행복을 위해 세상 밖으로–
SK하이닉스의 반도체는
당신의 삶 가까운 곳에서 행복을 만들어가겠습니다

안에서 밖을 만들다

SK 하이닉스

ICEIC 2019

International Conference on Electronics, Information, and Communication (ICEIC) 2019

Jan 22 (Tue) - Jan 25 (Fri), 2019
Auckland, New Zealand

Call for Papers

The 18th International Conference on Electronics, Information, and Communications (ICEIC 2019) is a forum open to all the participants who are willing to broaden professional contacts and to discuss the state-of-the-art technical topics. Especially the participation from asia-pacific region is encouraged.

Regular sessions of ICEIC 2019 will include more than 300 oral and poster presentations. In addition, the conference will offer special sessions, invited talk, keynote speeches, and tutorials to cover a broader spectrum of topics on electronics, information, and communication technologies.

ICEIC 2019 is soliciting papers in the following areas, but not limited to:

• Regular Sessions

Communications
Communication & Information Theories, Communication Networks & Systems, Microwave & Optics, Switching and Routing, Microwave, Antennas and Propagation, Intelligent Transportation System (ITS), Wireless PAN/BAN, Future Networks

Semiconductor and Devices
Analog/Digital Circuits & Systems, RF Integrated Circuits, Computer-Aided Design & Modeling, SoC Design & Applications, Semiconductors, Materials and Components, Lightwave and Quantum Electronics, PCB & Packaging, Solar Cell & Semiconductor Devices

Computer and Information
Computer Systems & Applications, Software for Smart Systems, Human Computer Interaction (HCI), Convergence Computing, Multimedia, Graphics, Ubiquitous System, Information Security, Artificial Intelligence, Neural Networks, Machine Learning

Signal Processing
Computer Vision, Digital Signal Processing, Digital Image/Video Processing, Audio, Speech & Acoustic Signal Processing

System and Control
Vehicular Electronics, Instrumentation and Control, Power Electronics & Circuits

Emerging Technologies
Biomedical Electronics and Bioengineering, Bioelectronics, IT-Convergence, Renewable Energy, Car & Aviation IT

• Special Sessions

Special session proposals are invited to ICEIC 2019, and inquiries regarding your submission should be directed to TPC Chair. The proposal needs to be submitted by August 15, 2018.

Best Paper Awards

The authors of the best papers will be presented Gold, Silver, and Bronze awards. The selected top quality papers will be recommended to be published in the Journal Semiconductor Technology and Science (JSTS) or a special issue of IEIE Transactions on Smart Processing and Computing.

Paper Submission

The prospective authors are invited to submit a paper with minimum two pages in length via https://edas.info/N25184. The submissions should be formatted with single-spaced, two-column pages using at least 10pt font size on A4 pages. Detailed formatting and submission instructions are available at http://iceic.org/2019/pages/submission_info.vm.

Important Dates

- Submission of Paper : September 7, 2018
- Notification of Acceptance : October 19, 2018
- Submission of Camera-Ready Paper : November 16, 2018

IEIE IEEE

ITC-CSCC 2019

The 34th International Technical Conference on Circuits/ Systems, Computers and Communications

June 23 - 26, 2019 / Jeju Shinhwa World, Republic of Korea

Welcome to ITC-CSCC

The 34th International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC 2019) will be held on June 23-26 at Jeju Shinhwa World, Republic of Korea.

Topics

The conference is open to researchers from all regions of the world. Participation from Asia Pacific region is particularly encouraged. Proposals for special sessions are welcome. Papers with original works in all aspects of Circuits/Systems, Computers and Communications are invited. Topics include, but not limited to, the followings:

• Circuits & Systems

- Computer Aided Design
- Analog Circuits
- Modern Control
- Semiconductor Devices & Technology
- Sensors & Related Circuits
- Power Electronics & Circuits
- RF Circuits
- Medical Electronics & Circuits
- VLSI Design
- Intelligent Transportation Systems & Technology
- Linear / Nonlinear Systems
- Neural Networks
- Verification & Testing

• Computers

- Artificial Intelligence
- Internet Technology & Applications
- Multimedia Service & Technology
- Face Detection & Recognition
- Watermarking
- Image Processing
- Computer Systems & Applications
- Computer Vision
- Security
- Biocomputing
- Motion Analysis
- Object Extraction & Technology
- Image Coding & Analysis

• Communications

- Antenna & Wave Propagation
- Audio / Speech Signal Processing
- Circuits & Components for Communications
- IP Networks & QoS
- Ubiquitous Networks
- Visual Communications
- Network Management & Design
- Optical Communications & Components
- Radar / Remote Sensing
- Communication Signal Processing
- Multimedia Communications
- Future Internet Architectures
- MIMO & Space-Time Codes
- UWB - Mobile & Wireless Communications

PROCEEDINGS

All registered participants are provided with conference proceedings. Authors of the accepted papers are encouraged to submit full-length manuscripts to IEIE JSTS (Journal of Semiconductor Technology and Science) or IEICE Transactions. Papers passed through the standard editing procedures of the IEIE JSTS or IEICE Transactions will be published in regular issues. The authors (or their institute) are requested to pay the publication charge for the IEIE JSTS or IEICE Transactions when their paper is accepted.

SUBMISSION OF PAPERS

Prospective authors are invited to submit original papers (1~4 pages) of either MS Word or PDF format written in English. Paper submission procedures are availabe at www.itc-cscc2019.org

AUTHOR'S SCHEDULE

• Submission of Paper : March 22, 2019 • Notification of Acceptance : April 19, 2019 • Submission of Final Paper : May 10, 2019

Hosted by

The Institute of Electronics and Information Engineers (IEIE), Korea
The Institute of Electronics, Information and Communication Engineers (IEICE), Japan
The Electrical Engineering/Electronics, Computer, Telecommunications and Information Association, Thailand

Contact Point

• E-mail : inter@theieie.org
• Phone : +82-2-553-0255(Ext. 4)
• www.itc-cscc2019.org

IEIE IEEE

2018

SAE MOBILUS™

http://saemobilus.sae.org

Your team has easy access to all the resources

that fuel mobility engineering

STANDARDS

항공 우주, 자동차 그리고 상용차 제작업체들의 기술 연구 및 개발에 필요한 규격 자료

TECHNICAL PAPERS

SAE의 기술 자료로서 세계 최고의 항공 우주 및 자동차 분야 석학들의 감수를 거친 자료

EBOOKS

자동차, 항공 우주, 그리고 상용차 산업 전문가들이 집필한 서적으로 약 200권의 e Book Contents

MAGAZINES

자동차, 항공 우주, 그리고 상용차 산업 분야 최신 동향을 살펴볼 수 있는 간행물

SAE INTERNATIONAL Authorized Dealer in Korea

kitis 키티스産學硏情報(株) KITIS Info. & Co., Ltd

TEL. 02-3474-5290(代)
http://www.kitis.co.kr

CONTENTS

제45권 7호 (2018년 7월)

※ 학회지 7월호 표지 (vol 45, No 7)

회지편집위원회

- **위원장** 정 영 모 (한성대학교 교수)
- **위 원** 권 종 원 (한국산업기술시험원 선임연구원)
  김 수 찬 (한경대학교 교수)
  김 영 선 (대림대학교 교수)
  김 창 수 (고려대학교 교수)
  김 현 (부천대학교 교수)
  박 수 현 (국민대학교 교수)
  박 인 규 (인하대학교 교수)
  박 종 선 (고려대학교 교수)
  변 영 재 (UNIST 교수)
  심 정 연 (강남대학교 교수)
  윤 지 훈 (서울과학기술대학교 교수)
  이 종 호 (가천대학교 교수)
  이 찬 수 (영남대학교 교수)
  이 창 우 (가톨릭대학교 교수)
  이 희 덕 (충남대학교 교수)
  인 치 호 (세명대학교 교수)
  정 찬 호 (한밭대학교 교수)
- **사무국 편집담당**
  변 은 정 차장(내선 3)
  TEL : (02)553-0255(대)
  FAX : (02)552-6093
- **학회 홈페이지**
  http://www.theieie.org

학회소식

12 학회소식 / 편집부

18 학회일지

특집 : Neuromorphic 시스템 설계 기술

19 특집편집기 / 김영민

20 뉴로모픽 시스템의 설계 기술과 전망 / 김현성, 당호영, 박종선

32 멤리스터 소자를 활용한 뉴로모픽 동향연구 / 유호영, 김영민

38 확률 컴퓨팅 기반 딥뉴럴넷 / 이종은

46 추론 전용 저항성 메모리 기반 뉴럴 네트워크 가속기 하드웨어 연구 동향 / 김재준, 김형준, 김태수, 김율화, 김진석

54 엣지 디바이스를 위한 뉴로모픽 비동기 프로세서의 설계 / 이진경, 김경기

회원광장

66 논문지 논문목차

정보교차로

68 국내외 학술행사 안내 / 편집부

80 특별회원사 및 후원사 명단

83 단체회원 명단

대한전자공학회
IEIE The Institute of Electronics and Information Engineers

2018년도 임원 및 각 위원회 위원

회 장	백 준 기 (중앙대학교 교수)	
수석부회장	최 천 원 (단국대학교 교수) – 소사이어티, 재무, 기획	
고 문	구 원 모 (전자신문사 대표이사)	김 기 남 (삼성전자㈜ 사장)
	박 성 욱 (SK하이닉스㈜ 부회장)	박 청 원 (전자부품연구원 원장)
	백 만 기 (김&장법률사무소 변리사)	이 상 훈 (한국전자통신연구원 원장)
	이 재 욱 (노키아티엠씨 명예회장)	이 희 국 (㈜LG 상임고문)
	천 경 준 (㈜씨젠 회장)	
감 사	정 교 일 (한국전자통신연구원 책임연구원)	백 흥 기 (전북대학교 교수)
부 회 장	서 승 우 (서울대학교 교수) – JSTS, 논문지, 정보화, 홍보, 교육	임 혜 숙 (이화여자대학교 교수) – 학술대회, SPC
	전 병 우 (성균관대학교 교수) – 사업, 학회지, 회원, 표준화	이 장 명 (부산대학교 교수) – 지부
	안 승 권 (LG사이언스파크/LG기술협의회 대표/의장)	
산업체부회장	오 성 목 (KT 사장)	이 석 희 (SK하이닉스㈜ 사장)
	조 승 환 (삼성전자㈜ 부사장)	
소사이어티 회장	이 흥 노 (광주과학기술원 교수) – 통신	전 영 현 (삼성SDI㈜ 대표이사) – 반도체
	강 문 식 (강릉원주대학교 교수) – 컴퓨터	김 창 익 (KAIST 교수) – 신호처리
	김 영 철 (군산대학교 교수) – 시스템 및 제어	이 병 선 (김포대학교 교수) – 신업전자
협동부회장	김 달 수 (㈜티엘아이 대표이사)	김 부 균 (숭실대학교 교수)
	김 상 태 (한국산업기술평가관리원 본부장)	김 종 대 (한국전자통신연구원 책임연구원)
	남 상 엽 (국제대학교 교수)	박 찬 구 (인피니언테크놀로지스파워세미텍 대표이사)
	박 형 무 (동국대학교 교수)	손 보 익 (㈜실리콘웍스 대표이사)
	송 문 섭 ((유)엠세븐시스템 대표이사)	엄 낙 웅 (한국전자통신연구원 소장)
	유 현 규 (한국전자통신연구원 책임연구원)	이 강 현 (조선대학교 교수)
	이 광 엽 (서경대학교 교수)	이 상 홍 (정보통신기술진흥센터 센터장)
	이 상 회 (동서울대학교 교수)	이 승 훈 (서강대학교 교수)
	이 윤 종 (㈜DB하이텍 부사장)	이 재 훈 (유정시스템㈜ 사장)
	인 치 호 (세명대학교 교수)	임 혁 (광주과학기술원 교수)
	장 태 규 (중앙대학교 교수)	정 은 승 (삼성전자㈜ 사장)
	정 준 (㈜쏠리드 대표이사)	정 진 용 (인하대학교 교수)
	조 상 복 (울산대학교 교수)	최 승 원 (한양대학교 교수)
	허 영 (한국전기연구원 본부장)	호 요 성 (광주과학기술원 교수)
상 임 이 사	공 준 진 (삼성전자㈜ Master) – 산학연	권 종 원 (한국산업기술시험원 선임연구원) – 논문(SC)
	김 동 규 (한양대학교 교수) – 논문(SD)	김 동 식 (인하공업전문대학 교수) – 사업(IE)
	김 선 욱 (고려대학교 교수) – 총무	김 소 영 (성균관대학교 교수) – 정보화
	김 수 찬 (한경대학교 교수) – 사업(SC)	김 승 천 (한성대학교 교수) – 논문(CI)
	김 원 종 (한국전자통신연구원 실장) – 표준화	노 원 우 (연세대학교 교수) – 재무
	백 광 현 (중앙대학교 교수) – 논문총괄	범 진 욱 (서강대학교 교수) – 사업(SD)
	송 병 철 (인하대학교 교수) – 사업(SP)	신 오 순 (숭실대학교 교수) – 논문(TC)
	심 동 규 (광운대학교 교수) – SPC 편집	유 창 동 (KAIST 교수) – 국제협력/ICCE-Asia
	유 회 준 (KAIST 교수) – JSTS 편집	윤 석 현 (단국대학교 교수) – 사업(TC)
	이 강 윤 (성균관대학교 교수) – 사업총괄	이 채 은 (인하대학교 교수) – 홍보
	이 충 용 (연세대학교 교수) – 기획	이 혁 재 (서울대학교 교수) – 학술(하계)
	임 재 열 (한국기술교육대학교 교수) – 교육	정 영 모 (한성대학교 교수) – 회지편집
	정 종 문 (연세대학교 교수) – 회원/ICCE-Asia	조 도 현 (인하공업전문대학 교수) – 논문(IE)
	한 종 기 (세종대학교 교수) – 논문(SP)	황 성 운 (홍익대학교 교수) – 사업(CI)
	황 인 철 (강원대학교 교수) – 학술(추계)	
산업체이사	고 요 환 (㈜매그나칩반도체 전무)	김 태 진 (㈜더즈텍 사장)
	김 현 수 (삼성전자㈜ 상무)	박 동 일 (현대자동차㈜ 전무)
	송 창 현 (네이버 CTO)	오 의 열 (LG디스플레이㈜ 연구위원)
	윤 영 권 (삼성전자㈜ 마스터)	조 영 민 (㈜스카이크로스코리아 사장)
	조 재 문 (삼성전자㈜ 부사장)	차 종 범 (구미전자정보기술원 원장)
	최 승 종 (LG전자㈜ 전무)	최 진 성 (도이치텔레콤 부사장)
	함 철 희 (삼성전자㈜ Master)	홍 국 태 (LG전자㈜ 연구위원)
이 사	강 동 구 (한국전기연구원 선임연구원) – 홍보	공 배 선 (성균관대학교 교수) – 학술(하계)
	권 기 룡 (부경대학교 교수) – 학술(추계)	권 종 기 (한국전자통신연구원 책임연구원) – 사업
	김 대 순 (전주비전대학교 교수) – 지부(전북)	김 상 철 (국민대학교 교수) – 회원

협 동 이 사

김 성 진 (경남대학교 교수) – 지부(부산경남울산)
김 영 선 (대림대학교 교수) – 회원
김 재 곤 (한국항공대학교 교수) – 국문논문(SP)
김 지 훈 (이화여자대학교 교수) – 총무/학술(하계)
김 진 수 (한밭대학교 교수) – 지부(대전충남)
김 태 욱 (연세대학교 교수) – 기획
남 일 구 (부산대학교 교수) – 학술(추계)
동 성 수 (용인송담대학교 교수) – 사업
박 인 규 (인하대학교 교수) – 회지
박 현 창 (동국대학교 교수) – 교육
변 경 수 (인하대학교 교수) – 홍보
성 해 경 (한양여자대학교 교수) – 정보화
송 진 호 (연세대학교 교수) – 회원
유 성 철 (LG히다찌 본부장) – 사업(IE)
이 민 호 (경북대학교 교수) – 사업(CI)
이 승 호 (한밭대학교 교수) – 국문논문(총괄)
이 찬 수 (영남대학교 교수) – 사업(총괄)
이 한 호 (인하대학교 교수) – 사업(SD)/산학연
장 익 준 (경희대학교 교수) – 학술(하계)
제 민 규 (KAIST 교수) – 교육
채 영 철 (연세대학교 교수) – 재무
한 영 선 (경일대학교 교수) – 총무/SPC 편집
강 대 성 (동아대학교 교수) – 지부(부산경남울산)
고 병 철 (계명대학교 교수) – 사업(CI)
김 경 기 (대구대학교 교수) – 국제협력
김 도 현 (제주대학교 교수) – 기획
김 만 배 (강원대학교 교수) – 국문논문(SP)
김 준 모 (KAIST 교수) – 국제협력
김　 짐 (한국산업기술평가관리원 선임연구원) – 사업
남 기 창 (동국대학교 교수) – 회원
박 기 찬 (건국대학교 교수) – 표준화
박 수 현 (국민대학교 교수) – 회지
박 원 규 (한국나노기술원 팀장) – 표준화
박 형 민 (서강대학교 교수) – 사업(CI)
변 영 재 (UNIST 교수) – 회지
안 태 원 (동양미래대학교 교수) – 국문논문(총괄)
연 규 봉 (자동차부품연구원 팀장) – 사업
윤 성 로 (서울대학교 교수) – 회원
이 우 주 (명지대학교 교수) – 국문논문(총괄)
이 종 호 (가천대학교 교수) – 국문논문(TC)
이 태 동 (국제대학교 교수) – 학술(하계)
정 승 원 (동국대학교 교수) – SPC/학술(추계)
조 성 현 (힌양대학교 교수) – 사업
최 강 선 (한국기술교육대학교 교수) – SPC 편집
하 정 우 (네이버 Tech Leader) – 홍보
허 재 두 (한국전자통신연구원 본부장) – ICCE-Asia

김 성 호 (한국산업기술평가관리원 팀장) – 학술(하계)
김 용 신 (고려대학교 교수) – 학술(추계)
김 종 옥 (고려대학교 교수) – 정보화
김 진 상 (경희대학교 교수) – 사업(SD)
김 창 수 (고려대학교 교수) – 회지
김 태 원 (상지영서대학교 교수) – 홍보
노 태 문 (한국전자통신연구원 책임연구원) – 학술(하계)
류 수 정 (삼성전자㈜ 상무) – 산학연
박 철 수 (광운대학교 교수) – SPC 편집
배 준 호 (가천대학교 교수) – 표준화
서 춘 원 (김포대학교 교수) – 기획
송 상 헌 (중앙대학교 교수) – 교육
심 정 연 (강남대학교 교수) – 회지
윤 지 훈 (서울과학기술대학교 교수) – 국문논문(TC)
이 성 수 (숭실대학교 교수) – 기획
이 윤 식 (UNIST 교수) – 홍보
이 창 우 (가톨릭대학교 교수) – 회지
장 길 진 (경북대학교 교수) – 국제협력
정 진 곤 (중앙대학교 교수) – 국문논문(총괄)
차 철 웅 (전자부품연구원 책임연구원) – 표준화
최 재 식 (UNIST 교수) – 국제협력
홍 성 훈 (전남대학교 교수) – 광주전남지부
강 윤 희 (백석대학교 교수) – 호서지부
권 구 덕 (강원대학교 교수) – 학술(추계)
김 광 수 (KAIST 교수) – 국제협력
김 동 현 (ICTK 사장) – 산학연
김 상 완 (아주대학교 교수) – 홍보
김 진 성 (선문대학교 교수) – 학술(하계)
김　 현 (서울대학교 교수) – 홍보
류 성 한 (한남대학교 교수) – 학술(추계)
박 성 욱 (강릉원주대학교 교수) – 학술(하계)
박 영 훈 (숙명여자대학교 교수) – 학술(하계)
박 종 선 (고려대학교 교수) – 사업(SD)
변 대 석 (삼성전자㈜ Master) – 산학연
선 우 경 (이화여자대학교 교수) – 정보화
엄 우 용 (인하공업전문대학 교수) – 국제협력
오 병 태 (한국항공대학교 교수) – 사업(총괄)
이 문 구 (김포대학교 교수) – 교육
이 재 성 (한국교통대학교 교수) – 학술(하계)
이 주 헌 (동아방송예술대학교 교수) – 교육
이 형 민 (고려대학교 교수) – 학술(추계)
정 재 필 (가천대학교 교수) – 산학연
채 관 엽 (삼성전자㈜ 박사) – 학술(추계)
최 재 원 (㈜다음소프트 이사) – 사업(CI)
한 태 희 (성균관대학교 교수) – 교육
황 인 정 (명지병원 책임연구원) – 사업(CI)

지부장 명단

강 원 지 부	김 남 용 (강원대학교 교수)
대구 · 경북지부	최 현 철 (경북대학교 교수)
부산 · 경남 · 울산지부	이 상 훈 (경남대학교 교수)
제 주 지 부	김 경 연 (제주대학교 교수)
호 서 지 부	장 은 영 (공주대학교 교수)
미 국	최 명 준 (텔레다인 박사)
러 시 아 지 부	Prof. Edis B. TEN (National University of Science and Technology)
광주 · 전남지부	원 용 관 (전남대학교 교수)
대전 · 충남지부	주 성 순 (한국전자통신연구원 박사)
전 북 지 부	송 제 호 (전북대학교 교수)
충 북 지 부	최 영 규 (한국교통대학교 교수)
일 본	백 인 천 (AIZU대학교 교수)

위원회 명단

자문위원회

위 원 장	홍 승 홍 (명예회장)		
부 위 원 장	이 문 기 (명예회장)		
위 원	고 성 제 (고려대학교 교수)	구 용 서 (단국대학교 교수)	김 덕 진 (명예회장)
	김 도 현 (명예회장)	김 성 대 (KAIST 교수)	김 수 중 (명예회장)
	김 영 권 (명예회장)	김 재 희 (연세대학교 교수)	김 정 식 (대덕전자 회장)
	나 정 웅 (명예회장)	문 영 식 (한양대학교 교수)	박 규 태 (명예회장)
	박 성 한 (명예회장)	박 진 옥 (명예회장)	박 항 구 (소암시스템 회장)
	서 정 욱 (명예회장)	성 굉 모 (서울대학교 명예교수)	윤 종 용 (삼성전자 상임고문)
	이 상 설 (명예회장)	이 재 홍 (서울대학교 교수)	이 진 구 (동국대학교 석좌교수)
	이 충 웅 (명예회장)	이 태 원 (명예회장)	임 제 탁 (명예회장)
	전 국 진 (서울대학교 교수)	전 홍 태 (중앙대학교 교수)	정 정 화 (한양대학교 석좌교수)
	홍 대 식 (연세대학교 교수)		

기획위원회

위 원 장	이 충 용 (연세대학교 교수)		
위 원	김 지 훈 (이화여자대학교 교수)	김 태 욱 (연세대학교 교수)	노 원 우 (연세대학교 교수)
	백 상 헌 (고려대학교 교수)	박 영 준 (한양대학교 교수)	서 춘 원 (김포대학교 교수)
	양 준 성 (성균관대학교 교수)	장 익 준 (경희대학교 교수)	조 성 현 (한양대학교 교수)
	채 영 철 (연세대학교 교수)		

학술연구위원회–하계

위 원 장	이 혁 재 (서울대학교 교수)		
위 원	강 문 식 (강릉원주대학교 교수)	공 배 선 (성균관대학교 교수)	김 성 호 (한국산업기술평가관리원 팀장)
	김 지 훈 (이화여자대학교 교수)	김 진 성 (선문대학교 교수)	김 현 (서울대학교 교수)
	노 태 문 (한국전자통신연구원 책임연구원)	동 성 수 (용인송담대학교 교수)	박 성 욱 (강릉원주대학교 교수)
	박 영 훈 (숙명여자대학교 교수)	이 재 성 (교통대학교 교수)	이 채 은 (인하대학교 교수)
	이 태 동 (국제대학교 교수)	장 익 준 (경희대학교 교수)	정 윤 호 (한국항공대학교 교수)

학술연구위원회–추계

위 원 장	황 인 철 (강원대학교 교수)		
위 원	권 구 덕 (강원대학교 교수)	권 기 룡 (부경대학교 교수)	김 용 신 (고려대학교 교수)
	남 일 구 (부산대학교 교수)	류 성 한 (한남대학교 교수)	이 형 민 (고려대학교 교수)
	정 승 원 (동국대학교 교수)	채 관 엽 (삼성전자 박사)	한 영 선 (경일대학교 교수)

논문편집위원회

위 원 장	백 광 현 (중앙대학교 교수)		
위 원	권 종 원 (한국산업기술시험원 선임연구원)	김 동 규 (한양대학교 교수)	김 만 배 (강원대학교 교수)
	김 승 천 (한성대학교 교수)	김 재 곤 (한국항공대학교 교수)	신 오 순 (숭실대학교 교수)
	안 태 원 (동양미래대학교 교수)	윤 지 훈 (서울과학기술대학교 교수)	이 승 호 (한밭대학교 교수)
	이 우 주 (명지대학교 교수)	이 종 호 (가천대학교 교수)	정 진 곤 (중앙대학교 교수)
	조 도 현 (인하공업전문대학 교수)	한 종 기 (세종대학교 교수)	

국제협력위원회

위 원 장	유 창 동 (KAIST 교수)		
위 원	김 경 기 (대구대학교 교수)	김 광 수 (KAIST 교수)	김 준 모 (KAIST 교수)
	송 상 헌 (중앙대학교 교수)	엄 우 영 (인하공업전문대학 교수)	장 길 진 (경북대학교 교수)
	최 재 식 (UNIST 교수)	허 재 두 (한국전자통신연구원 본부장)	

산학연협동위원회

위 원 장	공 준 진 (삼성전자 Master)		
위 원	김 동 현 (ICTK 사장)	김 익 균 (한국전자통신연구원 그룹장)	류 수 정 (삼성전자 상무)
	민 경 식 (국민대학교 교수)	박 종 선 (고려대학교 교수)	변 대 석 (삼성전자 Master)
	이 영 주 (광운대학교 교수)	이 한 호 (인하대학교 교수)	정 재 필 (가천대학교 교수)
	최 두 호 (한국전자통신연구원 실장)	한 태 희 (성균관대학교 교수)	

회원관리위원회

위 원 장	정 종 문 (연세대학교 교수)		
위 원	김 상 철 (국민대학교 교수)	김 영 선 (대림대학교 교수)	김 진 상 (경희대학교 교수)
	남 기 창 (동국대학교 교수)	박 종 일 (한양대학교 교수)	송 진 호 (연세대학교 교수)
	신 종 원 (광주과학기술원 교수)	유 정 봉 (공주대학교 교수)	윤 성 로 (서울대학교 교수)
	정 용 규 (을지대학교 교수)		

회지편집위원회

위 원 장 정 영 모 (한성대학교 교수)

위 원 권 종 원 (한국산업기술시험원 선임연구원) 김 수 찬 (한경대학교 교수) 김 영 선 (대림대학교 교수)
김 창 수 (고려대학교 교수) 김 현 (부천대학교 교수) 박 수 현 (국민대학교 교수)
박 인 규 (인하대학교 교수) 박 종 선 (고려대학교 교수) 변 영 재 (UNIST 교수)
심 정 연 (강남대학교 교수) 윤 지 훈 (서울과학기술대학교 교수) 이 종 호 (가천대학교 교수)
이 찬 수 (영남대학교 교수) 이 창 우 (가톨릭대학교 교수) 이 희 덕 (충남대학교 교수)
인 치 호 (세명대학교 교수) 정 찬 호 (한밭대학교 교수)

사업위원회

총괄 위원장 이 강 윤 (성균관대학교 교수)
CI위원장 황 성 운 (홍익대학교 교수)
IE위원장 김 동 식 (인하공업전문대학 교수)
SC위원장 김 수 찬 (한경대학교 교수)
SD위원장 범 진 욱 (서강대학교 교수)
SP위원장 송 병 철 (인하대학교 교수)
TC위원장 윤 석 현 (단국대학교 교수)

위 원 강 석 주 (서강대학교 교수) 고 병 철 (계명대학교 교수) 권 종 기 (한국전자통신연구원 책임연구원)
김 용 운 (옴니C&S 대표) 김 원 준 (건국대학교 교수) 김 진 상 (경희대학교 교수)
김 진 태 (건국대학교 교수) 김 짐 (한국산업기술평가관리원 선임연구원) 김 현 진 (단국대학교 교수)
동 성 수 (용인송담대학교 교수) 박 종 선 (고려대학교 교수) 박 형 민 (서강대학교 교수)
신 철 호 (한국전자통신연구원 실장) 연 규 봉 (자동차부품연구원 팀장) 오 병 태 (한국항공대학교 교수)
유 성 철 (LG히다찌 본부장) 이 민 재 (광주과학기술원 교수) 이 민 호 (경북대학교 교수)
이 윤 구 (광운대학교 교수) 이 찬 수 (영남대학교 교수) 이 한 호 (인하대학교 교수)
임 승 옥 (전자부품연구원 센터장) 조 성 현 (한양대학교 교수) 최 욱 (인천대학교 교수)
최 재 원 (㈜다음소프트 이사) 황 인 정 (명지병원 책임연구원)

교육위원회

위 원 장 임 재 열 (한국기술교육대학교 교수)

위 원 동 성 수 (용인송담대학교 교수) 박 현 창 (동국대학교 교수) 송 상 헌 (중앙대학교 교수)
이 문 구 (김포대학교 교수) 이 주 헌 (동아방송예술대학교 교수) 이 찬 호 (숭실대학교 교수)
최 강 선 (한국기술교육대학교 교수)

홍보위원회

위 원 장 이 채 은 (인하대학교 교수)

위 원 강 동 구 (한국전기연구원 선임연구원) 김 상 완 (아주대학교 교수) 김 태 원 (상지영서대학교 교수)
김 현 (서울대학교 교수) 변 경 수 (인하대학교 교수) 이 윤 식 (UNIST 교수)
하 정 우 (네이버 Tech Leader)

표준화위원회

위 원 장 김 원 종 (한국전자통신연구원 실장)
간사/위원 배 준 호 (가천대학교 교수)

위 원 강 성 원 (한국전자통신연구원 본부장) 권 기 원 (성균관대학교 교수) 김 동 규 (한양대학교 교수)
김 시 호 (연세대학교 교수) 박 기 찬 (건국대학교 교수) 박 원 규 (한국나노기술원 본부장)
변 지 수 (경북대학교 교수) 송 영 재 (성균관대학교 교수) 송 용 호 (한양대학교 교수)
연 규 봉 (자동차부품연구원 센터장) 이 상 근 (성균관대학교 교수) 이 서 호 (한국기계전기전자시험연구원 과장)
이 성 수 (숭실대학교 교수) 이 종 묵 (SOL 대표) 이 하 진 (한국기초과학지원연구원 책임연구원)
이 해 성 (전주대학교 교수) 정 교 일 (한국전자통신연구원 책임연구원) 좌 성 훈 (서울과학기술대학교 교수)
차 철 웅 (전자부품연구원 책임연구원) 한 태 수 (국가기술표준원/디스플레이산업협회 표준코디) 홍 용 택 (서울대학교 교수)

정보화위원회

위 원 장 김 소 영 (성균관대학교 교수)

위 원 김 종 옥 (고려대학교 교수) 김 진 태 (건국대학교 교수) 선 우 경 (이화여자대학교 교수)
이 윤 명 (성균관대학교 교수) 이 후 진 (한성대학교 교수) 장 익 준 (경희대학교 교수)
황 진 영 (한국항공대학교 교수)

지부담당위원회

위 원 장 이 장 명 (부산대학교 교수)

위 원 김 경 연 (제주대학교 교수) 김 남 용 (강원대학교 교수) 백 인 천 (AIZU대학교 교수)
송 제 호 (전북대학교 교수) 원 용 관 (전남대학교 교수) 이 상 훈 (경남대학교 교수)
장 은 영 (공주대학교 교수) 주 성 순 (한국전자통신연구원 박사) 최 명 준 (텔레다인 박사)
최 영 규 (한국교통대학교 교수) 최 현 철 (경북대학교 교수)
Prof. Edis B. TEN (National University of Science and Technology 교수)

선거관리위원회

위 원 장 성 굉 모 (서울대학교 명예교수)
위 원 김 선 욱 (고려대학교 교수) 김 지 훈 (이화여자대학교 교수) 노 원 우 (연세대학교 교수)
이 충 용 (연세대학교 교수) 이 혁 재 (서울대학교 교수) 정 종 문 (연세대학교 교수)

포상위원회

위 원 장 문 영 식 (한양대학교 교수)
간 사 / 위 원 김 선 욱 (고려대학교 교수)
위 원 노 원 우 (연세대학교 교수) 백 광 현 (중앙대학교 교수) 이 혁 재 (서울대학교 교수)
최 천 원 (단국대학교 교수)

재정위원회

위 원 장 백 준 기 (중앙대학교 교수)
위 원 노 원 우 (연세대학교 교수) 문 영 식 (한양대학교 교수) 박 병 국 (서울대학교 교수)
박 찬 구 (인피니언테크놀로지스파워세미텍 대표이사) 이 재 훈 (유정시스템 대표이사) 정 교 일 (한국전자통신연구원 책임연구원)
최 승 종 (LG전자 전무) 최 천 원 (단국대학교 교수) 한 대 근 (실리콘웍스 교수)

인사위원회

위 원 장 백 준 기 (중앙대학교 교수)
위 원 김 선 욱 (고려대학교 교수) 노 원 우 (연세대학교 교수) 이 충 용 (연세대학교 교수)
최 천 원 (단국대학교 교수)

SPC위원회

위 원 장 심 동 규 (광운대학교 교수)
부 위 원 장 박 철 수 (광운대학교 교수)
위 원 강 석 주 (서강대학교 교수) 김 영 민 (광운대학교 교수) 김 창 수 (고려대학교 교수)
김 태 석 (광운대학교 교수) 김 현 (서울대학교 교수) 신 원 용 (단국대학교 교수)
유 양 모 (서강대학교 교수) 이 재 훈 (고려대학교 교수) 이 채 은 (인하대학교 교수)
정 승 원 (동국대학교 교수) 조 성 현 (한양대학교 교수) 최 강 선 (한국기술교육대학교 교수)
한 영 선 (경일대학교 교수)

JSTS위원회

위 원 장 Hoi-Jun Yoo (KAIST)
부 위 원 장 Dim-Lee Kwong (Institute of Microelectronics)
위 원

Akira Matsuzawa (Tokyo Institute of Technology)
Byung-Gook Park (Seoul National Univ.)
Chang sik Yoo (Hanyang Univ.)
Deog-Kyoon Jeong (Seoul National Univ.)
Eun Sok Kim (USC)
Hi-Deok Lee (Chungnam Univ.)
Hyoung sub Kim (Sungkyunkwan Univ.)
Jamal Deen (McMaster University, Canada)
Jong-Uk Bu (Sen Plus)
Kofi Makinwa (Delft Univ. of Technology)
Min-kyu Song (Dongguk Univ.)
Nobby Kobayashi (UC Santa Cruz)
Rino Choi (Inha Univ.)
Sang-Sik Park (Sejong Iniv.)
Shen-luan Liu (National Taiwan Univ.)
Stephen A. Campbell (Univ. of Minnesota)
Tadahiro Kuroda (Keio Univ.)
Tsu-Jae King Liu (UC Berkeley)
Weileun Fang (National Tsing Hua Univ.)
Yang-Kyu Choi (KAIST)
Yong-Bin Kim (Northeastern Univ.)

Byeong-Gyu Nam (Chungnam National Univ.)
Cary Y. Yang (Santa Clara Univ.)
Chennupati Jagadish (Australian National Univ.)
Dong S. Ha (Virginia Tech)
Gianaurelio Cuniberti (Dresden Univ. of Technology)
Hong June Park (POSTECH)
Hyun-Kyu Yu (ETRI)
Jin wook Burm (Sogang Univ.)
Jun young Park (UX Factory)
Meyya Meyyappan (NASA Ames Research Center)
Moon-Ho Jo (POSTECH)
Paul D. Franzon (North Carolina State Univ.)
Sang-Hun Song (Chung-Ang Univ.)
Seung-Hoon Lee (Sogang Univ.)
Shi ho Kim (Yonsei Univ.)
Sung Woo Hwang (Korea Univ.)
Tae-Song Kim (KIST)
Vojin G. Oklobdzija (Univ. of Texas at Dallas)
Woo geun Rhee (Tsinghua Univ.)
Yogesh B. Gianchandani (Univ. of Michigan, Ann Arbor)
Yuhua Cheng (Peking Univ.)

통신소사이어티

회 장 이 흥 노 (광주과학기술원 교수)

부 회 장 김 선 용 (건국대학교 교수), 김 재 현 (아주대학교 교수), 김 진 영 (광운대학교 교수)
김 훈 (인천대학교 교수), 오 정 근 (㈜ATNS 대표이사), 유 명 식 (숭실대학교 교수)
윤 석 현 (단국대학교 교수), 이 인 규 (고려대학교 교수), 허 준 (고려대학교 교수)

감 사 이 재 진 (숭실대학교 교수), 이 호 경 (홍익대학교 교수)

협동부회장 김 병 남 (에이스테크놀로지 연구소장), 김 연 은 (㈜브로던 대표이사), 김 영 한 (숭실대학교 교수)
김 용 석 (㈜답스 대표이사), 김 인 경 (LG전자 상무), 류 승 문 ((사)개인공간서비스협회 수석부의장)
박 용 석 (㈜LICT 대표이사), 방 승 찬 (한국전자통신연구원 부장), 연 철 흠 (LG텔레콤 상무)
이 승 호 (㈜하이게인 부사장), 이 재 훈 (유정시스템 대표이사), 정 진 섭 (이노와이어리스 부사장)
정 현 규 (한국전자통신연구원 부장)

이 사 김 성 훈 (한국전자통신연구원 박사), 김 정 호 (이화여자대학교 교수), 노 윤 섭 (한국전자통신연구원 박사)
방 성 일 (단국대학교 교수), 서 철 헌 (숭실대학교 교수), 성 원 진 (서강대학교 교수)
신 요 안 (숭실대학교 교수), 윤 종 호 (한국항공대학교 교수), 윤 지 훈 (단국대학교 교수)
이 재 훈 (동국대학교 교수), 이 종 창 (홍익대학교 교수), 이 종 호 (가천대학교 교수)
임 종 태 (홍익대학교 교수), 장 병 수 (이노벨류네트웍스 부사장), 조 인 호 (에이스테크놀로지 박사)
최 진 식 (한양대학교 교수), 최 천 원 (단국대학교 교수), 허 서 원 (홍익대학교 교수)

간 사 신 오 순 (숭실대학교 교수), 김 중 헌 (중앙대학교 교수), 조 성 현 (한양대학교 교수)

연구회위원장 김 광 순 (연세대학교 교수) – 통신
유 태 환 (한국전자통신연구원 팀장) – 스위칭 및 라우팅
조 춘 식 (한국항공대학교 교수) – 마이크로파 및 전파전파
이 철 기 (아주대학교 교수) – ITS
김 동 규 (한양대학교 교수) – 정보보안시스템
김 강 욱 (경북대학교 교수) – 군사전자
– 방송 · 통신융합기술
허 재 두 (한국전자통신연구원 본부장) – 무선 PAN/BAN
김 봉 태 (한국전자통신연구원 소장) – 미래네트워크

반도체소사이어티

회 장 전 영 현 (삼성SDI 사장)

자 문 위 원 권 오 경 (한양대학교 교수), 선우명훈 (아주대학교 교수), 신 윤 승 (삼성전자 고문)
신 현 철 (한양대학교 교수), 우 남 성 (삼성전자 사장), 임 형 규 (SK 부회장)

수석부회장 조 중 휘 (인천대학교 교수)

감 사 김 경 기 (대구대학교 교수), 최 중 호 (서울시립대학교 교수)

연구담당부회장 조 경 순 (한국외국어대학교 교수)

사업담당부회장 김 진 상 (경희대학교 교수)

학술담당부회장 범 진 욱 (서강대학교 교수)

총 무 이 사 공 준 진 (삼성전자 마스터), 김 동 규 (한양대학교 교수), 박 종 선 (고려대학교 교수)
이 한 호 (인하대학교 교수)

편 집 이 사 이 희 덕 (충남대학교 교수), 인 치 호 (세명대학교 교수), 한 태 희 (성균관대학교 교수)

학 술 이 사 강 진 구 (인하대학교 교수), 김 영 환 (포항공과대학 교수), 김 재 석 (연세대학교 교수)
김 철 우 (고려대학교 교수), 노 정 진 (한양대학교 교수), 노 원 우 (연세대학교 교수)
박 성 정 (건국대학교 교수), 박 홍 준 (포항공과대학 교수), 변 영 재 (UNIST 교수)
송 민 규 (동국대학교 교수), 신 현 철 (광운대학교 교수), 유 창 식 (한양대학교 교수)
이 혁 재 (서울대학교 교수), 전 민 용 (충남대학교 교수), 정 연 모 (경희대학교 교수)
정 원 영 (㈜태성에스엔이 이사), 정 진 균 (전북대학교 교수), 정 진 용 (인하대학교 교수)
정 항 근 (전북대학교 교수), 차 호 영 (홍익대학교 교수), 최 우 영 (연세대학교 교수)

사 업 이 사 강 성 호 (연세대학교 교수), 공 배 선 (성균관대학교 교수), 권 기 원 (성균관대학교 교수)
김 동 순 (전자부품연구원 센터장), 김 소 영 (성균관대학교 교수), 김 시 호 (연세대학교 교수)
송 용 호 (한양대학교 교수), 엄 낙 웅 (한국전자통신연구원 소장), 윤 광 섭 (인하대학교 교수)
조 대 형 (스위스로잔연방공대 총장수석보좌관), 조 상 복 (울산대학교 교수), 조 태 제 (삼성전기 마스터)
최 윤 경 (삼성전자 마스터), 최 준 림 (경북대학교 교수)

산 학 이 사 강 태 원 (넥셀 사장), 김 경 수 (넥스트칩 대표), 김 달 수 (TLI 대표)
김 동 현 (ICTK 사장), 김 보 은 (라온텍 사장), 김 준 석 (ADT 사장)
변 대 석 (삼성전자 마스터), 손 보 익 (실리콘웍스 대표), 송 태 훈 (휴인스 사장)
신 용 석 (케이던스코리아 사장), 안 흥 식 (Xilinx Korea 지사장), 이 도 영 (옵토레인 사장)
이 서 규 (픽셀플러스 대표), 이 윤 종 (동부하이텍 부사장), 이 장 규 (텔레칩스 대표)
이 종 열 (FCI 부사장), 정 해 수 (Synopsys 사장), 최 승 종 (LG전자 전무)
허 염 (실리콘마이터스 대표), 황 규 철 (삼성전자 상무), 황 정 현 (아이닉스 대표)

재 무 이 사 김 희 석 (청주대학교 교수), 임 신 일 (서경대학교 교수)

회 원 이 사 이 광 엽 (서경대학교 교수), 최 기 영 (서울대학교 교수)

간 사 강 석 형 (UNIST 교수), 김 영 민 (광운대학교 교수), 김 종 선 (홍익대학교 교수)
김 형 탁 (홍익대학교 교수), 문 용 (숭실대학교 교수), 백 광 현 (중앙대학교 교수)
이 강 윤 (성균관대학교 교수), 이 성 수 (숭실대학교 교수)

연구회위원장 오 정 우 (연세대학교 교수) – 반도체소자및재료
이 상 신 (광운대학교 교수) – 광파및양자전자공학
김 동 규 (한양대학교 교수) – SoC설계
유 창 식 (한양대학교 교수) – RF집적회로
정 원 영 (㈜태성에스엔이 이사) – PCB&Package

컴퓨터소사이어티

회 장	강 문 식 (강릉원주대학교 교수)		
명 예 회 장	김 승 천 (한성대학교 교수)	김 형 중 (고려대학교 교수)	박 인 정 (단국대학교 교수)
	박 춘 명 (한국교통대학교 교수)	신 인 철 (단국대학교 교수)	안 병 구 (홍익대학교 교수)
	안 현 식 (동명대학교 교수)	이 규 대 (공주대학교 교수)	허 영 (한국전기연구원 본부장)
	홍 유 식 (상지대학교 교수)		
자 문 위 원	남 상 엽 (국제대학교 교수)	이 강 현 (조선대학교 교수)	정 교 일 (한국전자통신연구원 책임연구원)
감 사	심 정 연 (강남대학교 교수)	이 강 현 (조선대학교 교수)	
부 회 장	김 도 현 (제주대학교 교수)	윤 은 준 (경일대학교 교수)	정 용 규 (을지대학교 교수)
	황 성 운 (홍익대학교 교수)		
협동부회장	권 호 열 (강원대학교 교수)	김 영 학 (한국산업기술평가관리원 본부장)	박 수 현 (국민대학교 교수)
	우 운 택 (KAIST 교수)	조 민 호 (고려대학교 교수)	최 용 수 (성결대학교 교수)
총 무 이 사	박 성 욱 (강릉원주대학교 교수)	박 영 훈 (숙명여자대학교 교수)	
재 무 이 사	황 인 정 (명지병원 책임연구원)		
홍 보 이 사	이 덕 기 (연암공과대학교 교수)		
편 집 이 사	강 병 권 (순천향대학교 교수)	기 장 근 (공주대학교 교수)	김 진 홍 (성균관대학교 교수)
	변 영 재 (UNIST 교수)	이 석 환 (동명대학교 교수)	정 혜 명 (김포대학교 교수)
	진 성 아 (성결대학교 교수)		
학 술 이 사	강 상 욱 (상명대학교 교수)	권 태 경 (연세대학교 교수)	김 선 욱 (고려대학교 교수)
	김 천 식 (세종대학교 교수)	성 해 경 (한양여자대학교 교수)	이 문 구 (김포대학교 교수)
	이 민 호 (경북대학교 교수)	이 찬 수 (영남대학교 교수)	이 후 진 (한성대학교 교수)
	한 규 필 (금오공과대학교 교수)	한 태 화 (연세대의료원 연구팀장)	
사 업 이 사	김 홍 균 (다스파워 기술고문)	박 세 환 (한국과학기술정보연구원 전문연구위원)	박 승 창 (㈜유오씨 사장)
	조 병 순 (㈜시엔시인스트루먼트 사장)		
산 학 이 사	김 대 휘 (㈜한국정보통신 대표이사)	노 소 영 (월송출판 대표이사)	서 봉 상 (㈜올포랜드 이사)
	송 치 봉 (웨이버스 이사)	오 승 훈 (주얼린 대표이사)	유 성 철 (LG히다찌 산학협력팀장)
	조 병 영 (㈜태진인포텍 전무)		
논문편집위원장	진 훈 (경기대학교 교수)		
연구회위원장	윤 은 준 (경일대학교 교수) – 융합컴퓨팅		
	이 민 호 (경북대학교 교수) – 인공지능/신경망/퍼지		
	이 후 진 (한성대학교 교수) – 멀티미디어		
	진 훈 (경기대학교 교수) – 휴먼ICT		
	김 도 현 (제주대학교 교수) – M2M/IoT		
	우 운 택 (KAIST 교수) – 증강휴먼		
	황 성 운 (홍익대학교 교수) – CPS보안		

신호처리소사이어티

회 장	김 창 익 (KAIST 교수)		
자 문 위 원	김 정 태 (이화여자대학교 교수)	김 홍 국 (광주과학기술원 교수)	이 영 렬 (세종대학교 교수)
	전 병 우 (성균관대학교 교수)	조 남 익 (서울대학교 교수)	홍 민 철 (숭실대학교 교수)
감 사	한 종 기 (세종대학교 교수)	이 영 렬 (세종대학교 교수)	
부 회 장	김 문 철 (KAIST 교수)	박 종 일 (한양대학교 교수)	심 동 규 (광운대학교 교수)
협동부회장	강 동 욱 (정보통신기술진흥센터 CP)	김 진 웅 (한국전자통신연구원 그룹장)	백 준 기 (중앙대학교 교수)
	변 혜 란 (연세대학교 교수)	신 원 호 (LG전자 상무)	양 인 환 (TI Korea 이사)
	오 은 미 (삼성전자 Master)	이 병 욱 (이화여자대학교 교수)	지 인 호 (홍익대학교 교수)
	최 병 호 (전자부품연구원 센터장)		
이 사	강 현 수 (충북대학교 교수)	권 기 룡 (부경대학교 교수)	김 남 수 (서울대학교 교수)
	김 창 수 (고려대학교 교수)	김 해 광 (세종대학교 교수)	박 구 만 (서울과학기술대학교 교수)
	박 인 규 (인하대학교 교수)	서 정 일 (한국전자통신연구원 선임연구원)	신 지 태 (성균관대학교 교수)
	엄 일 규 (부산대학교 교수)	유 양 모 (서강대학교 교수)	이 상 근 (중앙대학교 교수)
	이 상 윤 (연세대학교 교수)	이 창 우 (가톨릭대학교 교수)	임 재 열 (한국기술교육대학교 교수)
	장 길 진 (경북대학교 교수)	장 준 혁 (한양대학교 교수)	한 종 기 (세종대학교 교수)
협 동 이 사	강 상 원 (한양대학교 교수)	강 제 원 (이화여자대학교 교수)	구 형 일 (아주대학교 교수)
	권 구 락 (조선대학교 교수)	김 기 백 (숭실대학교 교수)	김 기 백 (숭실대학교 교수)
	김 상 효 (성균관대학교 교수)	김 용 환 (전자부품연구원 선임연구원)	김 원 준 (건국대학교 교수)
	김 응 규 (한밭대학교 교수)	김 재 곤 (한국항공대학교 교수)	박 상 윤 (명지대학교 교수)
	박 현 진 (성균관대학교 교수)	박 호 종 (광운대학교 교수)	서 영 호 (광운대학교 교수)
	신 재 섭 (㈜픽스트리 대표이사)	신 종 원 (광주과학기술원 교수)	양 현 종 (UNIST 교수)
	이 기 승 (건국대학교 교수)	이 상 철 (인하대학교 교수)	이 종 설 (전자부품연구원 책임연구원)
	임 재 윤 (제주대학교 교수)	장 세 진 (전자부품연구원 센터장)	전 세 영 (UNIST 교수)
	정 찬 호 (한밭대학교 교수)	최 강 선 (한국기술교육대학교 교수)	최 승 호 (서울과학기술대학교 교수)
	최 준 원 (한양대학교 교수)	홍 성 훈 (전남대학교 교수)	
총 무 간 사	허 용 석 (아주대학교 교수)		
연구회위원장	김 무 영 (세종대학교 교수) – 음향및신호처리		
	송 병 철 (인하대학교 교수) – 영상신호처리		
	이 찬 수 (영남대학교 교수) – 영상이해		
	예 종 철 (KAIST 교수) – 바이오영상신호처리		

시스템 및 제어소사이어티

회 장	김 영 철 (군산대학교 교수)		
부 회 장	김 수 찬 (한경대학교 교수)	유 정 봉 (공주대학교 교수)	이 경 중 (연세대학교 교수)
	주 영 복 (한국기술교육대학교 교수)		
감 사	김 영 진 (생산기술연구원 박사)	남 기 창 (동국대학교 교수)	
총 무 이 사	권 종 원 (한국산업기술시험원 선임연구원)	김 용 태 (한경대학교 교수)	
재 무 이 사	김 준 식 (KIST 박사)	최 영 진 (한양대학교 교수)	
학 술 이 사	김 용 권 (건양대학교 교수)	서 성 규 (고려대학교 교수)	
편 집 이 사	남 기 창 (동국대학교 교수)	이 수 열 (경희대학교 교수)	
기 획 이 사	이 덕 진 (군산대학교 교수)	최 현 택 (한국해양과학기술원 책임연구원)	
사 업 이 사	고 낙 용 (조선대학교 교수)	양 연 모 (금오공과대학교 교수)	이 석 재 (대구보건대학교 교수)
산학연이사	강 대 희 (유도㈜ 박사)	조 영 조 (한국전자통신연구원 박사)	
홍 보 이 사	김 재 욱 (한국한의학연구원 박사)	김 호 철 (을지대학교 교수)	박 재 병 (전북대학교 교수)
	여 희 주 (대진대학교 교수)		
회 원 이 사	권 오 민 (충북대학교 교수)	김 기 연 (한국산업기술시험원 주임연구원)	김 종 만 (전남도립대학교 교수)
	김 지 홍 (전주비전대학교 교수)	문 정 호 (강릉원주대학교 교수)	박 명 진 (경희대학교 교수)
	변 영 재 (UNIST 교수)	송 철 규 (전북대학교 교수)	이 상 준 (선문대학교 교수)
	이 태 희 (전북대학교 교수)	이 학 성 (세종대학교 교수)	정 재 훈 (동국대학교 교수)
	최 수 범 (KISTI 연구원)		
자 문 위 원	김 덕 원 (연세대학교 교수)	김 희 식 (서울시립대학교 교수)	박 종 국 (경희대학교 교수)
	서 일 홍 (한양대학교 교수)	오 상 록 (KIST 분원장)	오 승 록 (단국대학교 교수)
	오 창 현 (고려대학교 교수)	정 길 도 (전북대학교 교수)	허 경 무 (단국대학교 교수)
연구회위원장	한 수 희 (POSTECH 교수) – 제어계측		
	이 성 준 (한양대학교 교수) – 회로및시스템		
	남 기 창 (동국대학교 교수) – 의용전자 및 생체공학		
	김 규 식 (서울시립대학교 교수) – 전력전자		
	김 영 철 (군산대학교 교수) – 지능로봇		
	이 석 재 (대구보건대학교 교수) – 국방정보및제어		
	이 덕 진 (군산대학교 교수) – 자동차전자		
	오 창 현 (고려대학교 교수) – 의료영상시스템		
	권 종 원 (한국산업기술시험원 선임연구원) – 스마트팩토리		

산업전자소사이어티

회 장	이 병 선 (김포대학교 교수)		
명 예 회 장	원 영 진 (부천대학교 교수)		
자 문 단	윤 기 방 (인천대학교 명예교수)	강 창 수 (유한대학교 교수)	이 원 석 (동양미래대학교 교수)
	이 상 회 (동서울대학교 교수)	남 상 엽 (국제대학교 교수)	이 상 준 (수원과학대학교 교수)
	최 영 일 (조선이공대학교 총장)	김 용 민 (충청대학교 교수)	윤 한 오 (경주스마트미디어센터 교수)
	김 종 부 (인덕대학교 교수)	진 수 춘 (한백전자 대표)	장 철 (우성정보기술 대표)
	한 성 준 (아이티센 부사장)		
감 사	김 은 원 (대림대학교 교수)	이 시 현 (동서울대학교 교수)	
부 회 장	김 동 식 (인하공업전문대학 교수)		
상 임 이 사	김 현 (부천대학교 교수)	김 상 범 (폴리텍인천 교수)	김 영 로 (명지전문대학 교수)
	김 영 선 (대림대학교 교수)	김 태 용 (구미대학교 교수)	김 태 원 (상지영서대학교 교수)
	동 성 수 (용인송담대학교 교수)	서 춘 원 (김포대학교 교수)	성 해 경 (한양여자대학교 교수)
	송 도 선 (우송정보대학교 교수)	안 태 원 (동양미래대학교 교수)	엄 우 용 (인하공업전문대학 교수)
	우 찬 일 (서일대학교 교수)	윤 중 현 (조선이공대학교 교수)	이 문 구 (김포대학교 교수)
	이 태 동 (국제대학교 교수)	정 재 필 (가천대학교 교수)	조 도 현 (인하공업전문대학 교수)
	최 의 선 (폴리텍아산캠퍼스 교수)		
협동상임이사	강 현 웅 (핸즈온테크놀로지 대표)	김 세 종 (SJ정보통신 부사장)	김 응 연 (인터그래텍 대표)
	김 진 선 (청파이엠티 본부장)	김 태 형 (하이버스 대표)	박 현 찬 (나인플러스EDA 대표)
	서 봉 상 (올포랜드 이사)	성 재 용 (오픈링크시스템 대표)	송 광 헌 (복두전자 대표)
	송 치 봉 (웨이버스 이사)	유 성 철 (LG히다찌 본부장)	이 영 준 (비츠로시스 본부장)
	전 한 수 (세림티에스지 이사)	조 규 남 (로봇신문사 대표)	조 병 용 (태진인포텍 부사장)
	조 한 일 (에이블정보기술 상무)	최 석 우 (한국정보기술 상무)	
재 무 이 사	강 민 구 (경기과학기술대학교 교수)	강 희 훈 (여주대학교 교수)	곽 칠 성 (재능대학교 교수)
	김 경 복 (경복대학교 교수)	문 현 욱 (동원대학교 교수)	안 성 수 (명지전문대학 교수)
	이 용 구 (한림성심대학교 교수)	이 종 하 (전주비전대학교 교수)	주 진 화 (오산대학교 교수)
학 술 이 사	구 자 일 (인하공업전문대학 교수)	김 덕 수 (동양미래대학교 교수)	김 용 중 (한국폴리텍대학 교수)
	김 종 오 (동양미래대학교 교수)	이 동 영 (명지전문대학 교수)	이 영 종 (여주대학교 교수)
	이 영 진 (을지대학교 교수)	이 종 용 (광운대학교 교수)	장 경 배 (고려사이버대학교 교수)
	정 경 권 (동신대학교 교수)		
사 업 이 사	고 정 환 (인하공업전문대학 교수)	김 영 우 (두원공과대학교 교수)	김 윤 석 (상지영서대학교 교수)
	박 진 홍 (혜전대학교 교수)	방 극 준 (인덕대학교 교수)	변 상 준 (대덕대학교 교수)
	심 완 보 (충청대학교 교수)	오 태 명 (명지전문대학 교수)	장 성 석 (영진전문대학 교수)
산학연이사	서 병 석 (상지영서대학교 교수)	성 홍 석 (부천대학교 교수)	원 우 연 (폴리텍춘천 교수)
	이 규 희 (상지영서대학교 교수)	이 정 석 (인하공업전문대학 교수)	이 종 성 (부천대학교 교수)
	정 환 익 (경복대학교 교수)	최 홍 주 (상지영서대학교 교수)	한 완 욱 (여주대학교 교수)
협 동 이 사	강 현 석 (로보웰코리아 대표)	고 강 일 (이지테크 대표)	김 민 준 (베리타스 부장)
	김 연 길 (대보정보통신 본부장)	김 창 일 (아이지 대표)	김 태 웅 (윕스 부장)
	남 승 우 (상학당 대표)	박 정 민 (오므론 과장)	오 재 곤 (세인 부사장)
	유 제 욱 (한빛미디어 부장)	이 요 한 (유성SDI 대표)	이 진 우 (글로벌이링크 대표)

제22대 평의원 명단

강 동 구 (한국전기연구원 책임연구원)
강 진 구 (인하대학교 교수)
고 영 채 (고려대학교 교수)
공 배 선 (성균관대학교 교수)
구 원 모 (전자신문사 대표이사)
권 순 철 (기가코리아사업단 단장)
권 종 원 (한국산업기술시험원 선임연구원)
김 경 연 (제주대학교 교수)
김 남 용 (강원대학교 교수)
김 덕 진 (명예회장)
김 동 규 (한양대학교 교수)
김 동 현 (ICTK 사장)
김 부 균 (숭실대학교 교수)
김 상 효 (성균관대학교 교수)
김 성 대 (KAIST 교수)
김 소 영 (성균관대학교 교수)
김 수 환 (서울대학교 교수)
김 영 권 (명예회장)
김 영 진 (한국생산기술연구원 수석연구원)
김 영 환 (포항공과대학교 교수)
김 용 신 (고려대학교 교수)
김 재 곤 (한국항공대학교 교수)
김 재 희 (연세대학교 교수)
김 정 호 (이화여자대학교 교수)
김 종 옥 (고려대학교 교수)
김 진 상 (경희대학교 교수)
김　　짐 (한국산업기술평가관리원 선임연구원)
김 태 연 (삼성전자㈜ 상무)
김 태 진 (㈜더즈텍 사장)
김 형 중 (고려대학교 교수)
김 홍 국 (광주과학기술원 교수)
김 희 석 (청주대학교 교수)
남 상 엽 (국제대학교 교수)
노 원 우 (연세대학교 교수)
류 수 정 (삼성전자㈜ 상무)
문　　용 (숭실대학교 교수)
박 규 태 (명예회장)
박 성 민 (이화여자대학교 교수)
박 수 현 (국민대학교 교수)
박 종 선 (고려대학교 교수)
박 찬 구 (인피니언테크놀로지스파워세미텍 대표이사)
박 항 구 (명예회장)
박 홍 준 (포항공과대학교 교수)
백 광 현 (중앙대학교 교수)
백 준 기 (중앙대학교 교수)
변 경 수 (인하대학교 교수)
서 성 규 (고려대학교 교수)
서 철 헌 (숭실대학교 교수)
선우명훈 (아주대학교 교수)
손 광 준 (한국산업기술평가관리원 PD)
송 민 규 (동국대학교 교수)
송 용 호 (한양대학교 교수)
송 창 현 (네이버 CTO)
신 지 태 (성균관대학교 교수)
심 동 규 (광운대학교 교수)
안 승 권 (LG사이언스파크 대표)
엄 낙 웅 (한국전자통신연구원 소장)
연 규 봉 (자동차부품연구원 팀장)
오 성 목 (KT 사장)
오 창 현 (고려대학교 교수)
원 용 관 (전남대학교 교수)
강 문 식 (강릉원주대학교 교수)
강 창 수 (유한대학교 교수)
고 요 환 (매그나칩반도체㈜ 전무)
공 준 진 (삼성전자㈜ 마스터)
권 기 룡 (부경대학교 교수
권 오 경 (한양대학교 교수)
권 호 열 (강원대학교 교수)
김 광 순 (연세대학교 교수)
김 달 수 (㈜티엘아이 대표이사)
김 도 현 (명예회장)
김 동 순 (전자부품연구원 센터장)
김 만 배 (강원대학교 교수)
김 상 철 (국민대학교 교수)
김 선 용 (건국대학교 교수)
김 성 우 (서울대학교 교수)
김 수 중 (명예회장)
김 승 천 (한성대학교 교수)
김 영 로 (명지전문대학 교수)
김 영 철 (군산대학교 교수)
김 용 민 (충청대학교 교수)
김 원 종 (한국전자통신연구원 실장)
김 재 석 (연세대학교 교수)
김 정 식 (대덕전자 회장)
김 종 대 (한국전자통신연구원 소장)
김 준 모 (한국과학기술원 교수)
김 진 수 (한밭대학교 교수)
김 창 수 (고려대학교 교수)
김 태 욱 (연세대학교 교수)
김　　현 (부천대학교 교수)
김 형 탁 (홍익대학교 교수)
김　　훈 (인천대학교 교수)
나 정 웅 (명예회장)
남 상 욱 (서울대학교 교수)
노 태 문 (한국전자통신연구원 책임연구원)
문 병 인 (경북대학교 교수)
민 경 식 (국민대학교 교수)
박 민 호 (숭실대학교 교수)
박 성 욱 (SK하이닉스㈜ 부회장)
박 영 훈 (숙명여자대학교 교수)
박 종 일 (한양대학교 교수)
박 청 원 (전자부품연구원 원장)
박 현 창 (동국대학교 교수)
방 성 일 (단국대학교 교수)
백 만 기 (김&장법률사무소 변리사)
백 흥 기 (전북대학교 교수)
변 대 석 (삼성전자㈜ 마스터)
서 승 우 (서울대학교 교수)
서 춘 원 (김포대학교 교수)
성 굉 모 (명예회장)
손 보 익 (㈜실리콘웍스 대표이사)
송 병 철 (인하대학교 교수)
송 제 호 (전북대학교 교수)
신 오 순 (숭실대학교 교수)
신 현 철 (한양대학교 교수)
심 정 연 (강남대학교 교수)
안 태 원 (동양미래대학교 교수)
엄 우 용 (인하공업전문대학 교수)
예 종 철 (한국과학기술원 교수)
오 승 록 (단국대학교 교수)
우 운 택 (한국과학기술원 교수)
유 명 식 (숭실대학교 교수)
강 성 원 (한국전자통신연구원 부장)
고 성 제 (고려대학교 교수)
고 정 환 (인하공업전문대학 교수)
구 용 서 (단국대학교 교수)
권 기 원 (성균관대학교 교수)
권 종 기 (한국전자통신연구원 책임연구원)
김 경 기 (대구대학교 교수)
김 기 남 (삼성전자㈜ 사장)
김 대 순 (전주비전대학교 교수)
김 도 현 (제주대학교 교수)
김 동 식 (인하공업전문대학 교수)
김 봉 태 (한국전자통신연구원 본부장)
김 상 태 (한국산업기술평가관리원 본부장)
김 선 욱 (고려대학교 교수)
김 성 호 (한국산업기술평가관리원 팀장)
김 수 찬 (한경대학교 교수)
김 시 호 (연세대학교 교수)
김 영 선 (대림대학교 교수)
김 영 학 (한국산업기술평가관리원 본부장)
김 용 석 (성균관대학교 교수)
김 은 원 (대림대학교 교수)
김 재 현 (아주대학교 교수)
김 정 태 (이화여자대학교 교수)
김 종 선 (홍익대학교 교수)
김 지 훈 (이화여자대학교 교수)
김 진 영 (광운대학교 교수)
김 창 익 (한국과학기술원 교수)
김 태 원 (상지영서대학교 교수)
김 현 수 (삼성전자㈜ 상무)
김 호 철 (을지대학교 교수)
김 휘 용 (한국전자통신연구원 책임연구원)
남 기 창 (동국대학교 교수)
남 일 구 (부산대학교 교수)
동 성 수 (용인송담대학교 교수)
문 영 식 (한양대학교 교수)
박 광 로 (한국전자통신연구원 부장)
박 병 국 (서울대학교 교수)
박 성 한 (명예회장)
박 인 규 (인하대학교 교수)
박 진 옥 (명예회장)
박 춘 명 (한국교통대학교 교수)
박 형 무 (동국대학교 교수)
배 준 호 (가천대학교 교수)
백 상 헌 (고려대학교 교수)
범 진 욱 (서강대학교 교수)
변 영 재 (울산과학기술대학교 교수)
서 정 욱 (명예회장)
선 우 경 (이화여자대학교 교수)
성 해 경 (한양여자대학교 교수)
송 문 섭 ((유)엠세븐시스템 대표이사)
송 상 헌 (중앙대학교 교수)
송 진 호 (연세대학교 교수)
신 요 안 (숭실대학교 교수)
신 현 철 (광운대학교 교수)
안 병 구 (홍익대학교 교수)
안 현 식 (동명대학교 교수)
엄 일 규 (부산대학교 교수)
오 상 록 (한국과학기술연구원 책임연구원)
오 은 미 (삼성전자㈜ 마스터)
원 영 진 (부천대학교 교수)
유 성 철 (LGH 본부장)

유 창 동 (한국과학기술원 교수)
유 현 규 (한국전자통신연구원 책임연구원)
윤 기 방 (인천대학교 명예교수)
윤 영 권 (삼성전자㈜ 마스터)
윤 종 용 (삼성전자㈜ 비상임고문)
이 강 현 (조선대학교 교수)
이 규 대 (공주대학교 교수)
이 문 석 (부산대학교 교수)
이 병 선 (김포대학교 교수)
이 상 설 (명예회장)
이 상 홍 (정보통신기술진흥센터 (전)센터장)
이 석 희 (SK하이닉스㈜ 사장)
이 승 호 (한밭대학교 교수)
이 윤 식 (울산과학기술대학교 교수)
이 장 명 (부산대학교 교수)
이 재 훈 (유정시스템㈜ 사장)
이 진 구 (명예회장)
이 창 우 (카톨릭대학교 교수)
이 충 용 (연세대학교 교수)
이 필 중 (포항공과대학교 명예교수)
이 호 경 (홍익대학교 교수)
이 희 국 (㈜LG 상임고문)
임 성 빈 (숭실대학교 교수)
임 제 탁 (명예회장)
장 길 진 (경북대학교 교수)
장 태 규 (중앙대학교 교수)
전 병 우 (성균관대학교 교수)
정 교 일 (한국전자통신연구원 책임연구원)
정 영 모 (한성대학교 교수)
정 정 화 (명예회장)
정　　준 (쏠리드 대표이사)
정 진 용 (인하대학교 교수)
조 경 록 (충북대학교 교수)
조 도 현 (인하공업전문대학 교수)
조 승 환 (삼성전자㈜ 부사장)
조 진 웅 (전자부품연구원 수석연구원)
진　　훈 (경기대학교 교수)
채 영 철 (연세대학교 교수)
최 기 영 (서울대학교 교수)
최 승 종 (LG전자㈜ 전무)
최 윤 경 (삼성전자㈜ 마스터)
최 준 림 (경북대학교 교수)
최 천 원 (단국대학교 교수)
한 동 석 (경북대학교 교수)
한 종 기 (세종대학교 교수)
허 경 무 (단국대학교 교수)
허　　영 (한국전기연구원 본부장)
호 요 성 (광주과학기술원 교수)
홍 민 철 (숭실대학교 교수)
홍 유 식 (상지대학교 교수)
황 승 구 (한국전자통신연구원 소장)
황 인 철 (강원대학교 교수)

유 창 식 (한양대학교 교수)
유 회 준 (한국과학기술원 교수)
윤 석 현 (단국대학교 교수)
윤 은 준 (경일대학교 교수)
윤 지 훈 (서울과학기술대학교 교수)
이 경 중 (연세대학교 교수)
이 문 구 (김포대학교 교수)
이 민 영 (한국반도체산업협회 본부장)
이 병 욱 (이화여자대학교 교수)
이 상 신 (광운대학교 교수)
이 상 회 (동서울대학교 교수)
이 성 수 (숭실대학교 교수)
이 승 훈 (서강대학교 교수)
이 윤 종 (㈜DB하이텍 부사장)
이 재 진 (숭실대학교 교수)
이종호A (서울대학교(바이오) 교수)
이 찬 수 (영남대학교 교수)
이 채 은 (인하대학교 교수)
이 충 웅 (명예회장)
이 한 호 (인하대학교 교수)
이 후 진 (한성대학교 교수)
이 희 덕 (충남대학교 교수)
임 신 일 (서경대학교 교수)
임 형 규 (SK텔레콤 고문)
장 은 영 (공주대학교 교수)
전 경 훈 (삼성전자㈜ 부사장)
전 영 현 (삼성SDI㈜ 대표이사)
정 길 도 (전북대학교 교수)
정 원 영 (㈜태성에스엔이 이사)
정 제 창 (한양대학교 교수)
정 진 곤 (중앙대학교 교수)
정 항 근 (전북대학교 교수)
조 경 순 (한국외국어대학교 교수)
조 상 복 (울산대학교 교수)
조 재 문 (삼성전자㈜ 부사장)
주 성 순 (한국전자통신연구원 박사)
차 철 웅 (전자부품연구원 책임연구원)
천 경 준 (㈜씨젠 회장)
최 성 현 (서울대학교 교수)
최 영 규 (한국교통대학교 교수)
최 재 식 (UNIST 교수)
최 중 호 (서울시립대학교 교수)
최 해 철 (한밭대학교 교수)
한 수 희 (포항공과대학교 교수)
한 태 희 (성균관대학교 교수)
허 서 원 (홍익대학교 교수)
허 재 두 (한국전자통신연구원 본부장)
홍 국 태 (LG전자㈜ 연구위원)
홍 승 홍 (명예회장)
홍 인 기 (경희대학교 교수)
황 승 훈 (동국대학교 교수)
황 인 태 (전남대학교 교수)

유 태 환 (한국전자통신연구원 책임연구원)
윤 광 섭 (인하대학교 교수)
윤 성 로 (서울대학교 교수)
윤 일 구 (연세대학교 교수)
이 강 윤 (성균관대학교 교수)
이 광 엽 (서경대학교 교수)
이 문 기 (명예회장)
이 민 호 (경북대학교 교수)
이 상 근 (중앙대학교 교수)
이 상 준 (수원과학대학교 명예교수)
이 상 훈 (경남대학교 교수)
이 성 철 (전자부품연구원 수석연구원)
이 원 석 (동양미래대학교 교수)
이 인 규 (고려대학교 교수)
이 재 홍 (서울대학교 교수)
이종호B (서울대학교(반도체) 교수)
이 찬 호 (숭실대학교 교수)
이 천 희 (전임회장)
이 태 원 (명예회장)
이 혁 재 (서울대학교 교수)
이 흥 노 (광주과학기술원 교수)
인 치 호 (세명대학교 교수)
임 재 열 (한국기술교육대학교 교수)
임 혜 숙 (이화여자대학교 교수)
장 익 준 (경희대학교 교수)
전 국 진 (서울대학교 교수)
전 홍 태 (중앙대학교 교수)
정 연 모 (경희대학교 교수)
정 은 승 (삼성전자㈜ 사장)
정 종 문 (연세대학교 교수)
정 진 균 (전북대학교 교수)
제 민 규 (한국과학기술원 교수)
조 남 익 (서울대학교 교수)
조 성 현 (한양대학교 교수)
조 중 휘 (인천대학교 교수)
주 영 복 (한국기술교육대학교 교수)
채 관 엽 (삼성전자㈜ 수석연구원)
최 강 선 (한국기술교육대학교 교수)
최 승 원 (한양대학교 교수)
최 영 진 (한양대학교 교수)
최 정 환 (삼성전자㈜ 마스터)
최 진 성 (도이치텔레콤㈜ 부사장)
최 현 철 (경북대학교 교수)
한 영 선 (경일대학교 교수)
함 철 희 (삼성전자㈜ 마스터)
허　　염 (㈜실리콘마이터스 대표이사)
허　　준 (고려대학교 교수)
홍 대 식 (연세대학교 교수)
홍 용 택 (서울대학교 교수)
황 성 운 (홍익대학교 교수)
황 인 정 (명지병원 책임연구원)

사무국 직원 명단

송기원 국장 – 대외업무, 업무총괄, 기획, 자문, 산학연, 선거, 지부
이안순 부장 – 국내학술, 총무, 포상, 임원관련, 시스템및제어소사이어티
배지영 부장 – 국제학술, 국문논문, 교육, 컴퓨터소사이어티, 산업전자소사이어티
배기동 차장 – 사업, 표준화, 용역, 회원관리, 홍보, 신호처리소사이어티
변은정 차장 – 재무(본회/소사이어티/연구회), 학회지, 통신소사이어티
김천일 차장 – 정보화, 반도체소사이어티
장다희 서기 – 국제학술, 국제업무, SPC/JSTS영문지 발간

제2차 전체이사회 개최

제 2차 전체이사회가 6월 8일(금) 18시 SC컨벤션센터 아이리스홀(과학기술회관 12층)에서 개최되었다. 이번 회의 결과는 다음과 같다.

1. 성원보고

– 42명의 상임이사 중 22명이 참석하여 성원되었음

2. 위원회 보고

– 각 위원회 별로 위원장들이 서면 및 발표보고사항을 진행하고 위원회별 주요사항을 논의함

3. 심의사항

– 신규회원 가입을 승인함

4. 기타

제2차 전체이사회

ICCE-Asia 2018

ICCE-Asia는 대한전자공학회와 국제전기전자학회(IEEE)가 공동으로 개최하는 국제학술대회로서, 최근 우리나라가 세계를 선도하고 있는 드론, 인공지능, 자율주행, 자동차 등에서 소비자 전자공학 기술의 국제화를 목표로 6월 24일(일)부터 26일(화)까지 제주 라마다 프라자 호텔에서 개최되었다.

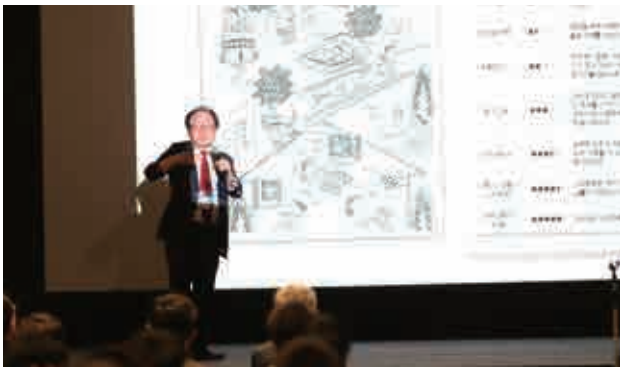
금년에는 16개국, 약 220여 편의 논문이 발표된 가운데 이번 학술대회는 유창동 교수(KAIST)가 General Chair, 정종문 교수(연세대학교)가 Organization Chair로, 백상헌 교수(고려대학교)가 Technical Program Chair로 참여하였다.

첫째날 6월 24일(일)에는 6개의 튜토리얼이 진행되었으며, Welcome Reception에는 여러 국가로부터 온 약 70명의 참가자들이 참가하여 환영인사 및 담소를 나누었다.

둘째날 6월 25일(월) 개회식에는 백준기 학회장과 유창동 교수의 환영사와 General Co-Chair인 IEEE CE Society의 Sharon Peng 회장의 환영사로 시작을 알리며, 곧이어 카이스트의 오준호 교수와 창조경제연구회의 이민화 이사장의 Plenary Talk가 진행되었다. 오후에는 University of Toronto Institute for Aerospace Studies의 Angela Schoellig 교수의 Plenary Talk이 있었다. 저녁에는 IEEE CE Society의 Stephen Dukes 부회장의 환영사로 만찬의 시작을 알렸으며, Best Paper 시상식 및 공연과 함께 Conference Banquet이 진행되었다.

셋째날 6월 26일(화)에는 3개의 튜토리얼이 진행되었다.

Welcome Reception



Plenary Talk 1 – 카이스트 오준호 교수

개회식 – 백준기 학회장 인사말

Plenary Talk 2 – 창조경제연구회 이민화 이사장

개회식 – General Chair 유창동 교수 인사말

Plenary Talk 3 – University of Toronto Institute for Aerospace Studies의 Angela Schoellig 교수

개회식 – General Co-Chair, IEEE CE Society의 Sharon Peng 회장 인사말

주요참가자 기념촬영 – 초청인사, 조직위원 및 명예회장

Conference Banquet

Conference Banquet

2018 하계종합학술대회

우리 학회 모든 소사이어티가 함께 참여하는 하계종합학술대회(조직위원장: 이혁재 교수(서울대))가 6월 27일(수)부터 6월 29일(금)까지 롯데호텔 제주(서귀포시)에서 개최되었다.

이번 학술대회는 "Artificial Intelligence led by IEIE: Now and the Future" 라는 테마를 선정하고 그에 따른 튜토리얼, 산업체/연구소세션, 특별세션, 국제학회 발표초청 리뷰세션, 신진연구자 초청세션, 드론경진대회 등 다양한 프로그램을 마련하였으며, 아울러 약 620여 편의 논문이 발표되었고 부대행사를 포함하여 1,200여명의 참가자들이 참석하였다.

첫날 6월 27일(수)에는 일반, 특별세션 및 튜토리얼, 산업체/연구소세션, 교육세미나 워크샵과 Welcome Reception이 진행되었으며, 6월 28일(목)에는 일반, 특별세션 및 초청발표논문을 비롯하여 개회식에는 백준기 학회장의 환영사와 삼성전자 박용인 부사장의 Keynote가 발표되었고 이후 우리 학회와 미국 IEEE가 공동 시상하는 "IT Young Engineer Award"시상식, Conference Banquet, 관련 산업체들의 취업상담, 드론경진대회 등이 이루어졌다. 마지막 날인 6월 29일(금)에는 일반 및 국제학회 발표리뷰세션 등이 운영되었고 아울러 폐회식에서는 학술대회 기간 중 선정된 우수학생논문상 시상과 학생참가자 대상 경품추첨이 진행되었다.

이번 학술대회와 부대행사를 통해 다양한 기관과 분야에서 연구하는 회원들이 그동안의 연구결과를 발표하고 토론하는 과정에서 학술적, 기술적 정보가 교류되어 한국의 전자,IT 학문 및 산업 발전에 직,간접적으로 기여할 수 있었다.

Welcome Reception

개회식–백준기 학회장 환영사

Banquet

Joint–Award 시상식

구두발표

포스터발표

인력채용 부스 운영

폐회식–우수학생논문상 수상자 기념사진

폐회식–참가자 기념사진

–산업전자 소사이어티–

하계기술교육세미나/IT융합 및 스마트로봇 경진대회

산업전자소사이어티(회장:이병선 교수(김포대))에서는 "2018 IES 하계기술교육세미나/IT융합 및 스마트로봇 경진대회" 그리고 "드론 A 하모닉 컨트롤 경진대회(시범 런칭)"를 6월 22일(금) ~ 23일(토) 양일간에 걸쳐 김포대학교 호프관 및 변안나 기념관에서 개최하였다. 이번 행사에서는 IT관련 학과 학생들이 IT융합과 스마트 로봇에서 필요로 하는 지식 중 창의적 공학 설계 및 마이크로프로세서프로그램 설계의 전체 과정을 일괄적으로 이해하는 능력을 측정하여 우수자를 선발하는 전국 규모의 경진대회로 총 273명이 참석하여 우수자를 선발 하였다.

하계학술대회장

IT융합경진대회장

IT융합경진대회 대상 수상자

스마트로봇 경진대회장

스마트로봇 경진대회 금상 수상자

스마트로봇 경진대회 단체사진

– 반도체 소사이어티 –

2018년 SoC설계연구회 하계 워크숍

SoC설계연구회(위원장 : 김동규 교수(한양대))에서는 "2018년 SoC 설계연구회 하계 워크숍"을 7월 2일(월) ~ 3일(화) 2일간 휘닉스 호텔 2층 아젠다룸(강원도 평창소재)에서 개최하였다.

이번 워크숍에서는 대기업–펩리스–파운드리 생태계의 불안정성, 초일류 설계 기술 및 아키텍트급 설계 인력의 부족, 자국 정부의 막대한 지원에 힘입은 중국의 맹추격 등으로 인해 잠재적인 어려움이 예상되어 국내 반도체 산업의 새로운 돌파구 마련을 위해 "차세대 반도체와 융합 SoC 기술"에 대한 주제로 산학연 자리를 마련하여 다양한 연구에 대하여 함께 논의하고 고민하는 자리가 되었다.

2018년 SoC설계연구회 하계 워크숍

신규회원 가입현황
(2018년 6월 5일 – 2018년 7월 6일)

정회원

고재헌(LIG넥스원), 윤명근(고려대학교), 김승수(광운대학교), 손채봉(광운대학교), 김동욱(국방과학연구소), 원웅재(대구경북과학기술원), 최민국(대구경북과학기술원), 임재균(명지병원), 최형석(수원대학교), 홍상근(엘아이지넥스원), 정성(용인송담대학교), 유지훈(위캔솔루션), 노승엽(지에쓰씨), 권순재(한국과학기술원), 김광수(한국과학기술원), 김철기(한국항공대학교), 백종민(한신), 최원용(한화시스템)

이상 18명

평생회원

배준호(가천대학교), 권태수(서울과학기술대학교), 이창훈(서울과학기술대학교), 이윤명(성균관대학교), 김병섭(포항공과대학교), 윤성재(한국전자통신연구원)

이상 6명

학생회원

원유섭(고려대학교), 이한솔(고려대학교), 정우중(고려대학교), 노덕훈(고려대학교), 정경수(고려대학교), 김정아(광운대학교), 남혁준(국립한국교통대학교), 김민재(국민대학교), 김선규(동국대학교), 김혜빈(동국대학교), 안종우(부산대학교), 윤성욱(부산대학교), 최지욱(부산대학교), 김창열(부산대학교), 김도균(서울과학기술대학교), 김성연(서울과학기술대학교), 정채영(서울과학기술대학교), 강철호(서울대학교), 김문현(서울대학교), 조현수(서울대학교), 이해룡(서울대학교), 이재훈(서울시립대학교), 강소연(성균관대학교), 미셍가 뭄펠라 조엘(숙명여자대학교), 안현호(아주대학교), 장민수(안양대학교), 이민규(인하대학교), 이승호(인하대학교), 김근태(충남대학교), 김소영(충남대학교), 사이드(충북대학교), 아르사란 사드(충북대학교), 채원식(충북대학교), 홍지운(충북대학교), 이수민(한국과학기술연구원), 김영은(한국과학기술원), 왕현철(한국기술교육대학교), 신진우(한국한업기술대학교), 강영은(한국항공대학교), 손기범(한국항공대학교), 김연수(한밭대학교), 서성현(한성대학교), 김태완(한양대학교), 남효성(한양대학교), 손윤식(홍익대학교)

이상 45명

학회일지

www.theieie.org

THE INSTITUTE OF
ELECTRONICS AND INFORMATION
ENGINEERS

2018년 6월 16일 ~ 2018년 7월 16일

1. 회의 개최

회의 명칭	일시	장소	주요 안건
3차 추계조직위원회의	6.22 (7:30)	쉐라톤 팔래스 강남호텔	– 학술대회 프로그램 구성 논의 외

2. 행사 개최

행사 명칭	일시	장소	주관
하계기술교육세미나 / IT융합 및 스마트로봇 경진대회	6.22~23	김포대학교	산업전자소사이어티
ICCE-Asia 2018	6.24~26	제주 라마다프라자호텔	본회
하계종합학술대회	6.27~29	롯데호텔 제주(서귀포시)	학술위원회
SoC설계연구회 하계 워크숍	7.2~3	휘닉스 호텔(강원도)	SoC설계연구회

특 · 집 · 편 · 집 · 기

Neuromorphic 시스템 설계 기술

김 영 민 편집위원
(광운대학교)

최근 AI(인공지능)으로 대표 되는 4차산업혁명의 발전과 활성화를 위하여 SW 분야 뿐만 아니라, HW 분야에서도 다양한 연구가 시도되고 있다. 특히, 사람의 뇌 신경을 모방하여 뇌의 정보처리방식을 기억 소자와 최신의 집적회로 설계 기술을 기반으로 모방하려는 시도가 활발하게 이루어지고 있다. 이런 반도체를 뉴로모픽(Neuromorphic) 칩이라고 하는데, 이는 뇌 신경을 모방한 반도체로써 딥러닝등 인공지능 기능을 하드웨어로 구현한 것이다. 뉴로모픽 칩은 기존 대비 아주 우수한 저전력 연산이 가능하기 때문에, 차세대 반도체 기술로 여겨지고 있다. 본 특집회에서는 이러한 뉴로모픽 칩 설계를 위한 소자, 알고리즘, 회로 및 시스템 설계 등에 관한 관련 전문가들의 논문 5편으로 구성되었다.

첫째, "뉴로모픽 시스템의 설계 기술과 전망(김현성 외)"은 생물학적 신경개념과 일반적인 뉴런 모델은 물론 여러 가지 시냅스 웨이트 학습 방법들에 대해서 설명하고, 뉴로모픽 시스템 설계를 위한 다양한 회로 설계 기법들을 소개하였다. 둘째, "멤리스터 소자를 활용한 뉴로모픽 동향연구(유호영 외)"에서는 인공신경망(뉴로모픽)의 아날로그 시냅스 구현을 위해 제안된 여러 가지 소자 기술 중 멤리스터(Memristor) 소자의 기본 동작 원리와, 이를 활용한 최근 뉴로모픽 시스템 설계의 연구 동향을 소개하였다. 셋째, "확률 컴퓨터 기반 딥뉴럴넷(이종은)"에서는 근사 계산의 일종인 확률 컴퓨팅(stochastic computing)을 소개하고, 이에 기반한 딥뉴럴넷 하드웨어 설계 기술들을 소개하였다. 넷째, "추론 전용 저항성 메모리 기반 뉴럴 네트워크 가속기 하드웨어 연구 동향(김재준 외)"에서는 현재까지 학계에서 보고된 저항성 메모리 기반 뉴럴 네트워크 가속기 하드웨어의 설계 원리에 대해서 간략히 정리하고 구현에 있어 생기는 여러 기술적 이슈들과 그에 대한 해결 방안 등을 소개하였다. 끝으로, "엣지 디바이스를 위한 뉴로모픽 비동기 프로세서의 설계(이진경 외)"에서는 엣지 디바이스를 위한 저전력 뉴로모픽 칩에 적용 가능한 비동기 설계 방식과 실제 설계 사례에 대해서 소개하였다.

교육과 연구의 바쁜 일정 중에 본 특집호를 위하여 옥고를 보내주신 집필진 여러분께 감사드리며, 본 특집호가 뉴로모픽 칩 설계를 위한 소자, 회로설계, CAD 전문가들의 교류와 협력을 위한 새로운 계기가 되어 4차 산업혁명 기반기술 발전과 경쟁력 강화에 기여할 수 있기를 기원한다.

뉴로모픽 시스템의 설계 기술과 전망

김현성
고려대학교

당호영
고려대학교

박종선
고려대학교

Ⅰ. 서 론

최근 인공지능, 딥러닝(Deep Learning)의 빠른 성장 요인은 데이터, 알고리즘, 하드웨어 세 가지 항목으로 나눌 수 있다. 우선, 학습을 수행하기 위해서는 방대한 양의 학습 데이터가 필요한데, 빅데이터(Big Data)의 활성화로 많은 양의 학습 데이터를 수용할 수 있는 환경이 조성되었다. 그리고 Convolutional Neural Network(CNN)와 같은 알고리즘의 개발로 이미지 구별 성능이 인간의 능력보다 뛰어난 수준으로 발전하였다. 마지막으로, Application Specific Integrated Circuit(ASIC) 등의 반도체 집적 기술로 알고리즘 계산 속도가 향상되었다. 위의 성장 요인을 바탕으로 발전한 딥러닝은 이미지 분류, 자연어 처리, 게임 등 많은 분야에서 활발한 연구가 이루어지고 있다.

딥러닝을 다양한 어플리케이션에 적용시키기 위한 연구는 다양한 알고리즘의 발전과 함께 수행되어 왔다. 그 중 많은 학습 알고리즘은 역전파 학습(Backpropagation) 알고리즘을 기반으로 한다고 할 수 있다. 수학적으로 학습 능력이 검증된 역전파 학습 알고리즘은 일반적으로 지도 학습(Supervised Learning)으로 분류되며, 입력 데이터와 입력에 대한 정답을 나타내는 라벨(Label)을 통해 높은 정확도를 실현한다.

그러나 현실에서 존재하는 대부분의 데이터에는 라벨이 없고, 라벨을 포함하면서 학습에 사용되는 데이터는 한정적이다. 그러므로 지도 학습은 사전에 정해진 특정 데이터에 대해서만 학습이 가능하다는 한계가 따른다. 대체로 지도 학습이 높은 학습 정확도를 보임에도 불구하고 앞선 한계점으로 인해, 구체적인 사전 정보 없이 주어진 환경에서 자율적으로 학습하는 비지도 학습(Unsupervised Learning)에 대한 관심이 높아지고 있다.

현재 상황을 판단하고 스스로 학습하는 비지도 학습은 마치 인간이

생각하고 학습하는 모습과 유사하다고 말 할 수 있다. 보다 인간적인 학습 능력의 요구와 함께, 실제 뇌의 학습 및 구조를 탐구하는 뉴로모픽 공학(Neuromorphic Engineering)이 주목을 받고 있다. 뉴로모픽 공학은 신경 시스템에 착안하여 다양한 신호 혹은 물리적 계산을 생물학적 형태로 접근하는 노력을 시도하고 있으며, 대표적으로 Spiking Time Dependent Plasticity(STDP)와 같은 시냅스 신경 메커니즘에 기반한 학습 알고리즘 연구는 비지도 학습 연구에 다양한 선택지를 제시하고 있다.

한편, 뉴로모픽의 스파이크(Spike) 신호를 중심으로 한 생물학적 접근은 알고리즘 뿐 아니라 저전력 하드웨어 시스템 설계 연구와 병행되고 있다. 현재 복잡한 알고리즘으로 구성된 대부분의 딥러닝은 학습 시 막대한 전력을 요구하고 Off-Chip으로 학습을 진행해야하지만, 뉴로모픽 연구는 저전력 On-Chip 학습으로의 발전가능성을 가지고 있다. 특히 스파이크의 사건 기반(Event-driven) 계산으로 인하여 추론(Inferencing) 동작을 저전력으로 수행할 수 있다는 장점은 저전력 On-Chip-Learning 시스템 설계에 있어 강점으로 부각되고 있다.

본 논문은 뉴로모픽 시스템의 설계 기술과 전망을 알아보기 위해, 섹션 Ⅱ에서 생물학적 신경 개념과 함께 일반적인 뉴런 모델을 살펴보고, 섹션 Ⅲ에서는 뉴런 모델로 구성된 신경망을 학습시키기 위한 방법으로, 기존 딥러닝에서도 사용되던 알고리즘과 함께 신경 메커니즘에 기반한 알고리즘을 소개한다. 더불어 섹션 Ⅳ의 학습과 네트워크 측면의 하드웨어에서 저전력, 저면적 시냅스회로와 신경 시스템을 고려한 프로세싱 아키텍처를 소개하며 뉴로모픽 시스템 설계 동향과 전망을 제시한다.

Ⅱ. 생물학적 뉴런과 모델링

생물학적으로 신경 시스템인 뇌는 뉴런으로 구성되어 있고, 서로 다른 뉴런은 시냅스를 통해 연결되어 있다. 시냅스는 뉴런에서 신경 물질을 전달하는 축색돌기(Axon)와 전달 물질을 취합하는 수상돌기(Dendrite)로 구성되어 있다. 시간이 지남에 따라 수상돌기에 일정 수준이상의 정보가 전달되면 뉴런에서는 일종의 전기적 신호인 스파이크를 발생시키고, 생성된 신경 신호는 시냅스를 거쳐 인접 뉴런으로 전달된다.

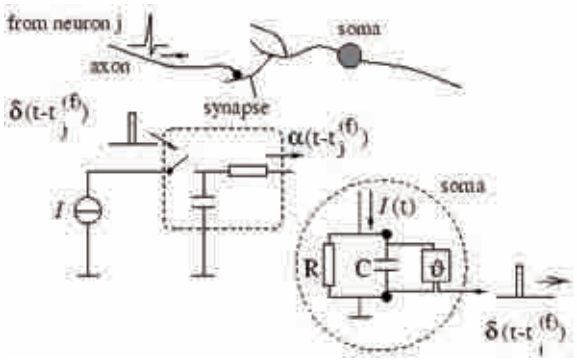
위와 같은 생물학적 특성을 따라 Hodgkin-Huxley, Izhikevich 등의 뉴런 모델이 제시되었는데, 일반적으로 뉴로모픽 분야의 스파이킹 뉴럴 네트워크(Spiking Neural Network)에서는 Leaky-Integrate-and-Fire(LIF) 모델을 많이 사용하고 있다. LIF 모델은 〈그림 1〉과 같이 저항과 커패시터로 구성된 간단한 전기적 회로로 구현할 수 있으며, 수식적으로 아래와 같이 표현된다[1].

$$I(t) = I_R + I_C \tag{1}$$

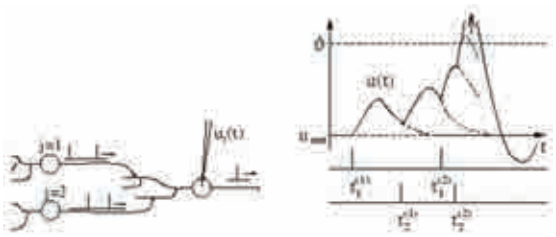
$$I(t) = \frac{u(t)}{R} + C\frac{du}{dt} \tag{2}$$

$$\tau_m \frac{du}{dt} = -u(t) + RI(t) \tag{3}$$

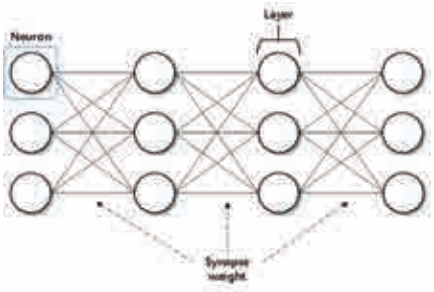
수식을 실제 뉴런과 비교할 때, $u(t)$는 막전위(Membrane potential)로서 이전 뉴런에서 전달되는 활동 전위(Action potential)인 스파이크와 시냅스의 연결 강도를 나타내는 웨이트(Weight)와의 곱 정보로부터 전위가 바뀌게 된다. 아웃풋 뉴런에 연결된 각각 다른 인풋 뉴런의 스파이크와 웨이트 곱의 합인 입력 전류 $I(t)$는 커



〈그림 1〉 LIF 뉴런 모델의 회로[1]



〈그림 2〉 인풋 스파이크에 대한 막전위 변화 그래프[1]



〈그림 3〉 개략적인 신경망 구조

패시터 C의 전하량을 변화시키게 되고, 〈그림 2〉와 같이 막전위가 사전에 정해놓은 문턱 값(Threshold) ϑ을 넘어섰을 때 새로운 아웃풋 스파이크를 발생(Fire)시키게 된다. 만약 일정시간 동안 유입되는 전류가 없다면 $u(t)$는 막전위 시상수 $\tau_m = RC$에 따라 감소하게 된다.

이러한 뉴런 모델은 〈그림 3〉과 같이 신경망의 각 노드를 형성한다. 신경망으로 입력되는 데이터는 다양한 스파이크 인코딩 기법을 통해 생성된 이산적인 시간 정보로서, 노드 사이를 통과하며 학습에 사용된다.

Ⅲ. 시냅스 웨이트 학습 방법

신경망의 이전 계층(Layer)에 위치한 모든 뉴런은 다음 계층에 있는 각 뉴런과 모두 연결되며 각각의 연결은 시냅스를 형성한다. 위 시냅스는 웨이트로 나타내지며 실제 학습의 대상이 된다. 생물학적으로 시냅스의 연결강도가 자유자재로 강해지고 약해지는 신경 가소성의 성질은 곧 뇌의 학습에 기반이 되고, 뉴로모픽 공학에선 이러한 생물학적 양상을 따라 현재 스파이크를 기반으로 한 신경망 알고리즘 연구가 진행되고 있다.

시냅스 학습에 관한 다양한 방법이 제시고 있지만 특히 세 가지 요구사항에 주안점을 둘 필요가 있다. 먼저 웨이트 학습을 위한 계산 복잡도가 낮아야한다. 두 번째로 웨이트 학습의 로컬리티(Locality)가 보장되어 특정 계층에서 웨이트를 학습 하는데 필요한 파라미터들이 국부적으로 사용되어야한다. 마지막으로 학습의 수렴속도가 빨라야한다.

본 섹션에서는 앞선 요구사항을 바탕으로 다양한 신경망 알고리즘을 소개한다.

1. 최소자승법, 퍼셉트론 학습

머신 러닝에서 가장 오래된 학습 알고리즘으로 최소자승법(Least Mean Square)과 퍼셉트론(Perceptron) 학습이 있다[3]. 두 알고리즘은 단순한 연산으로 학습의 수렴이 빠르다는 장점을 가지고 있고, 다른 여러 알고리즘에 기반이 되는 학습으로써 의의가 있다.

a. Least Mean Square (LMS)

최소자승법은 주어진 데이터에 대해 예상되는 학습 모델이 데이터 분포에 대한 근사 곡선과 얼마나 유사한가에 초점을 맞춰, 전반적인 오차를 최소화 하는 학습 방법이다. 간단한 예시로 〈그림 4〉와 같은 적응 선형 결합기(Adaptive Linear Combiner)에 대해 다음과 같은 수식을 도출할 수 있다.

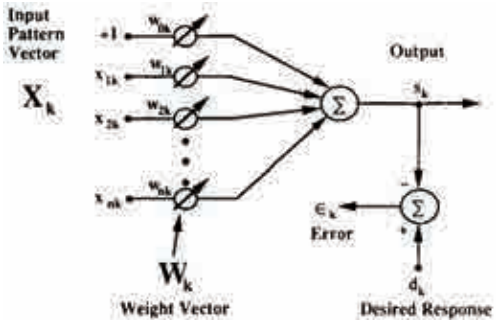
$$s = \overline{X}^T \overline{W} \tag{4}$$

$$e = d - s \tag{5}$$

$\overline{X}$는 인풋 벡터, $\overline{W}$는 웨이트 벡터를 의미하며 s는 예상 모델에 대한 기댓값을 나타낸다. d는 실제값을 의미하며 e는 예상 오차로서 비용 함수(Cost Function)의 파라미터가 된다. 평균 제곱 오차(Mean Square Error)의 방법으로 웨이트를 업데이트할 때 웨이트의 변화량은 다음과 같이 표현된다.

$$\overline{\Delta W} = \alpha \frac{e\overline{X}}{|\overline{X}|^2} \tag{6}$$

α는 학습 비율로서 보통 0.1에서 1사이의 값을 가지고 학습 수렴속도를 결정하며, 학습의 수렴속도와 안정도는 트레이드오프(Tradeoff)관계를 가진다.



〈그림 4〉 Adaptive Linear Combiner 회로[3]

b. Perceptron

퍼셉트론 학습 방법의 핵심은 어떤 신경 세포의 활성으로 다른 신경세포가 잘못된 출력을 낸다면, 두 신경세포 간의 연결 가중치를 조절하는 것으로 오류를 줄일 수 있다는 것이다. 퍼셉트론 학습 방법은 최소자승법과는 달리 적응 선형 결합기의 출력 단에 문턱 값 함수를 사용함으로써 비선형 네트워크를 형성한다. 새로운 출력 y는 부호 함수를 통해 표현되며, 예상 오차와 웨이트의 변화량은 다음과 같이 나타낼 수 있다.

$$y = sgn(s) \tag{7}$$

$$e = d - y \tag{8}$$

$$\overline{\Delta W} = \alpha \frac{e}{2} \overline{X} \tag{9}$$

퍼셉트론 학습 방법은 선형 분리 가능한 데이터를 대상으로 학습을 반복할 시 언젠가는 원하는 해법을 찾을 수 있지만, 비선형 데이터를 대상으로 높은 정확도를 기대하긴 어렵다.

2. 역전파 학습

과거 몇 십년동안 딥러닝에 가장 널리 사용되고 있는 알고리즘으로 역전파 학습(Backpropagation)과 경사 하강법(Gradient Decent)이 있다. 이름에서 유추할 수 있듯이 설계된 신경망의 가장 마지막 계층에서 가장 앞단 계층으로 학습이 이루어지며, 비용 함수의 값이 최소화되도록 웨이트가 학습된다.

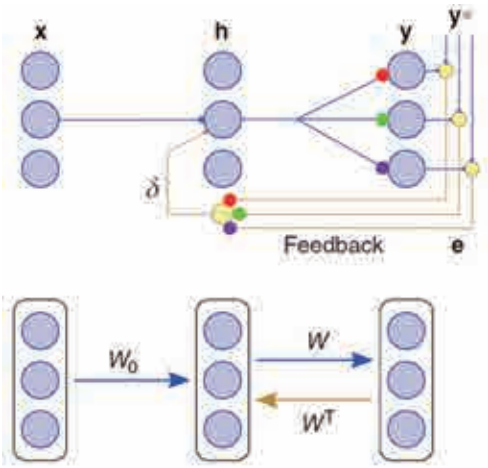
수식적으로 아웃풋 계층의 i번째 뉴런의 출력은 다음과 같다.

$$\overline{h_i} = f(W_{ij}\overline{h_j} + \overline{b_i}) \tag{10}$$

W_{ij}는 인풋 계층의 j번째 뉴런과 아웃풋 계층의 i번째 뉴런 사이의 웨이트, $\overline{h_j}$는 인풋 계층의 j번째 뉴런 출력의 크기, $\overline{b_i}$는 바이어스(Bias)를 나타내며 $f(.)$는 활성 함수(Activation Function)을 의미한다. 학습 시 웨이트의 변화량은 다음과 같다.

$$\Delta W_{ij} = -\eta \frac{\partial \overline{E}}{\partial W_{ij}} \tag{11}$$

η는 학습 비율, $\overline{E}$는 아웃풋 계층에서 예상 오차를 의미한다.



〈그림 5〉 역전파 학습 알고리즘의 기본 도식도[6]

〈그림 5〉는 역전파 학습 알고리즘의 기본적인 도식도이다. 동작의 절차를 순서대로 따라가면 우선 전방향(Forward)으로 각 계층마다 인풋에 대해 아웃풋 뉴런 값을 계산하고 각 아웃풋 뉴런에서 오차를 계산한다. 모든 계층에서 각 뉴런의 오차가 계산되었으면, 역전방향(Backward)으로 계층의 각 뉴런에서 발생한 오차가 이전 계층의 뉴런과 연결된 웨이트 대비 얼마나 영향을 받았는지 계산한다. 마지막으로 미분의 연쇄 법칙(Chain rule)을 사용하여 파라미터의 기울기를 구하고 웨이트를 업데이트 한다.

역전파 학습은 무엇보다도 직관적이고 다양한 어플리케이션에 적용될 수 있다는 장점이 있지만, 동작상 사용되는 활성함수, MAC(Multiplication and Accumulation)연산과 정확한 기울기를 표현하기 위한 부동소수점의 사용은 메모리나 전력 소모 측면에서 비효율적이다. 또한 특정 계층에서 웨이트를 학습시키기 위해 다른 계층들의 웨이트나 오차 정보가 요구되는 점과 학습이 뒤에서 앞으로 진행된다는 점은 피드포워드(Feedforward) 방식의 신경 시스템과 생물학적 관점에서 차이가 있다.

기존의 연산 복잡도를 낮추고 메모리 자원을 최적화하기 위한 연구로 Binary State Network[7]와 Pipelined Backpropagation[8] 등이 제시되었다. Binary State Network는 뉴런의 출력이 (0/1) 혹은 (−1/1)로 표현

되기 때문에 기존의 전방향 MAC연산이 가감산기로 대체될 수 있으며, Pipelined Backpropagation은 error ternarization 기법을 사용함으로써 역전방향의 MAC 연산을 간단한 연산기로 대체할 수 있었다.

또한 최근 역전파 학습 알고리즘으로 제시된 Random Backpropagation(RBP)은 기존 역전파 학습에서 웨이트 학습의 로컬리티가 보장되지 않았던 문제를 보완하고 있다[6]. 역전파 학습 알고리즘의 특성상 어떤 특정 계층에서 웨이트를 학습시키기 위해서는 역전방향으로 해당 계층에 도달하기 전까지 다른 계층을 거쳐야 하므로, 연산을 위해 요구되는 파라미터수가 많고 학습의 로컬리티가 보장된다고 볼 수 없다.

제시된 알고리즘의 핵심은 역전방향으로 웨이트를 업데이트 할 때 이전 계층의 웨이트(W) 대신에 랜덤한 웨이트 매트릭스(B)를 사용하는 것이다. W는 B로부터 피드백을 받고, 무어-펜로즈 의사 역행렬(Moore-Penrose Pseudoinverse)에 근거하여 B^T에 근접하게 된다. 즉, 웨이트가 네트워크 자체에 적응해가는 방식을 통해 기존의 계층 사이 웨이트 전달(weight transport and global information) 문제의 해결책을 제시하고 있다.

역전파 학습 방법은 복잡한 연산을 가지며 생물학적 접근법과는 다소 거리가 멀다. 하지만 깊은 구조의 신경망에서 학습의 정확도가 보장된다는 장점은 스파이크를 기반으로 한 Auto-Encoder[9] 혹은 Conversion[10] 방법 등에 함께 적용되는 연구가 진행되고 있다.

3. Spike Time Dependent Plasticity (STDP)

현재 뉴로모픽의 스파이킹 뉴럴 네트워크에 사용되는 가장 인기 있는 학습 알고리즘은 STDP이다[11-12]. STDP는 뇌에서 뉴런 사이의 연결이 조정 되는 생물학적 특성을 따라, 특정 뉴런에 대한 출력 스파크와 입력 스파이크의 상대적인 시간 차이를 이용하는 학습 방법이다. STDP의 학습 능력에 대한 많은 실험이 진행되면서 다양한 학습 모델이 제시되었는데, 그 중에서 가장 보편적인 모델의 형태는 다음 수식과 같다.

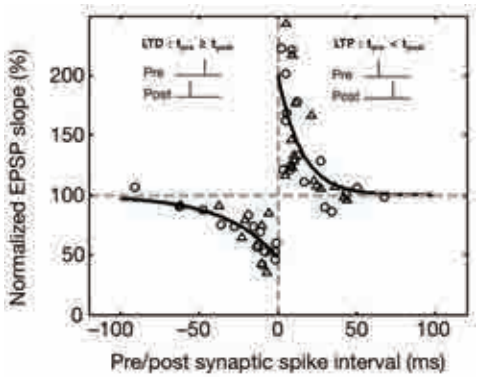
$$\Delta w^{+} = A^{+}\exp(-|\Delta t|/\tau^{+}), \quad \text{if}\,\Delta t > 0 \quad (12)$$

$$\Delta w^{-} = A^{-}\exp(-|\Delta t|/\tau^{-}), \quad \text{if}\,\Delta t \leq 0. \quad (13)$$

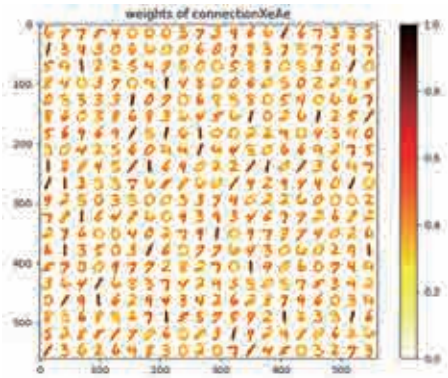
$$w = w + \Delta w^{+/-} \quad (14)$$

수식적으로 Δt는 출력 스파이크의 발생 시간에서 입력 스파이크의 발생 시간을 감산한 값이고, A^{+}와 A^{-}는 웨이트의 최대 변화량을 의미한다. 동작상 입력과 출력이 인과의 관계에 있을 때, 즉 어떤 시점에서 특정 뉴런의 출력 스파이크 발생 시간이 입력 스파이크 발생 시간보다 느리면, 웨이트를 장기강화(Long-term potentiation) 시키고, 반대로 입력 스파이크의 발생 시간이 출력 스파이크의 발생 시간보다 느리면 웨이트를 장기억압(Long-term depression)시킴으로써 학습을 진행한다. STDP 알고리즘은 특정 뉴런을 기준으로 스파이크의 출입 시간만을 사용한다는 점에서 학습의 로컬리티를 보장한다고 말 할 수 있다.

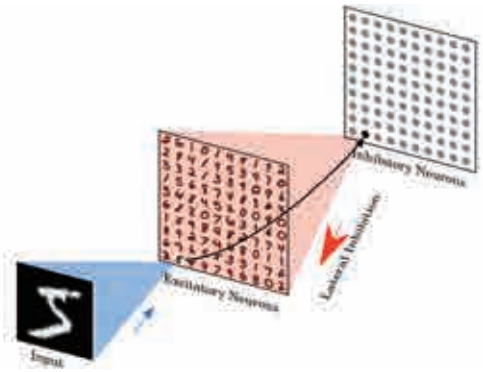
〈그림 6〉는 이전(Pre), 이후(Post) 시냅스 간의 스파이크 발생 시간 차이에 대한 흥분성 시냅스 후 전위(EPSP)를 보여준다. EPSP 그래프의 양상은 곧 시냅스 스파이크 시간차에 대한 장기강화, 장기억압이며 웨이트의 증가,



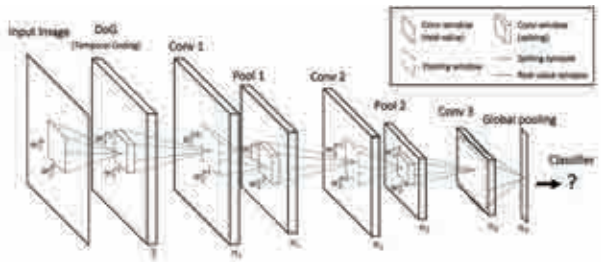
〈그림 6〉 Pre, Post 시냅스의 스파이크 발생 시간차에 따른 EPSP 그래프[13]



〈그림 7〉 MNIST 데이터셋에 STDP 알고리즘을 적용한 학습 시뮬레이션



〈그림 8〉 STDP를 사용한 얕은 네트워크 구조[14]



〈그림 9〉 STDP와 컨벌루션 레이어를 사용한 깊은 네트워크 구조[15]

감소 변화라고 볼 수 있다. 또한 그래프는 시간의 인과 관계가 미세한 차이를 보일수록 더욱 큰 변화가 적용되는 지수 함수임을 확인할 수 있다.

생물학적이고 학습 로컬리티가 보장되는 STDP 방법은 특히 비지도 학습에서 많이 사용되고 있다. 간단한 예시로 〈그림 7〉은 MIST 데이터 셋을 대상으로, Python기반의 Brain2 시뮬레이터 상에서 STDP 알고리즘을 사용한 비지도 학습의 시뮬레이션 결과이다. STDP 알고리즘을 사용한 연구로는, 〈그림 8〉와 같은 얕은 구조부터 〈그림 9〉의 스파이킹 뉴럴 네트워크에 Convolutional Neural Network(CNN)의 기법을 적용한 깊은 구조 등 활발한 연구가 진행 중이다.

4. Spike Driven Synaptic Plasticity (SDSP)

STDP 알고리즘은 인풋, 아웃풋의 시간차를 사용한 거시적 장기강화, 장기억압으로 웨이트 학습을 수행한다. 한편 일부 연구에서는 STDP가 실제로 얼마나 안정적인 학습 방법인지에 의문을 제기하며, 실제 생물학적 장기강화, 장기억압이 더 복잡한 메커니즘을 따른다고 주장한다[16]. 관련된 실험 따르면 생물학적 시냅스의 연결 강도는 단순히 뉴런의 이전, 이후 시냅스를 통과하는 스파이크의 발생 시간 뿐 만이 아니라 스파이크의 발생 비율에도 의존한다는 의견이 일반적이다.

이와 관련된 학습 알고리즘으로 SDSP(Spike Driven Synaptic Plasticity)는 스파이크의 상대적 발생 시간 뿐 아니라 인풋 패턴에 대한 아웃풋 스파이크 발생 비율을 사용하며, 학습 방법은 아래의 수식을 따른다.

$$X = X + a \quad \text{if } V(t_{pre}) > \theta_V \quad \text{and} \quad \theta_u^l < C(t_{pre}) < \theta_u^h \tag{15}$$

$$X = X - b \quad \text{if } V(t_{pre}) \le \theta_V \quad \text{and} \quad \theta_d^l < C(t_{pre}) < \theta_d^h . \tag{16}$$

알고리즘은 수식적으로 시냅스의 스파이크 발생 시간(t_{pre}), 이후 시냅스 뉴런의 막전위의 상태($V(t)$) 그리고 최근 스파이크 발생 빈도($C(t)$)에 따라 내부적인 아날로그 변수($X(t)$)를 변화시킨다. 이 때 θ는 사전에 정한 문턱값으로서 앞의 다른 항목에서 설명한 뉴런의 스파이크 문턱 값과는 관련이 없다. $X(t)$에 따라 웨이트는 아래의 두 가지 상태를 가진다.

$$w = J^+ \quad \text{if } X > \theta_X \tag{17}$$

$$w = J^- \quad \text{if } X \le \theta_X . \tag{18}$$

만약 입력 스파이크가 없다면 수식(19), (20)에서 $X(t)$의 기울기는 현재 아날로그 값에 따라 일정한 값을 가지며, 최종적으로 웨이트는 안정된 두 가지 시냅스 상태에 수렴한다.

$$\frac{dX}{dt} = \alpha \quad \text{if } X > \theta_X \tag{19}$$

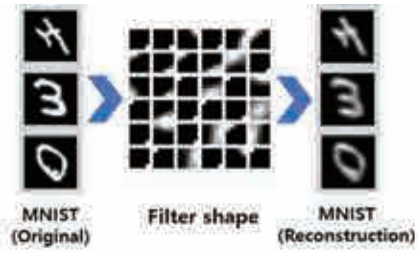
$$\frac{dX}{dt} = -\beta \quad \text{if } X \le \theta_X . \tag{20}$$

SDSP는 STDP에 비해 특히 하드웨어 측면에서의 이점이 예상된다. 일반적으로 신경망에서 무수히 많은 시냅스 웨이트를 학습하기 위해서는 큰 비휘발성 메모리가 필요한 반면에, SDSP 방법을 사용했을 때 바이너리로 표현되는 시냅스 웨이트는 비휘발성 메모리 없이 CMOS 하드웨어에 적용될 수 있으므로 보다 많은 하드웨어 설계 방향을 제시할 수 있을 것이다[17].

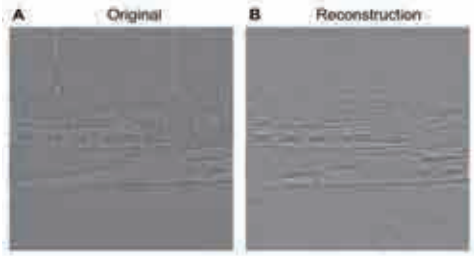
5. Sparse coding

Sparse coding은 인풋 데이터가 학습이 가능한 최소의 정보 형태로 가공될 수 있다고 가정할 때, 알려지지 않은 대상의 특징을 추출하는 비지도 학습 알고리즘의 한 부류이다. 알고리즘의 유효성은 〈그림 10〉, 〈그림 11〉과 같이 Sparse coding 알고리즘을 사용하여 학습한 filter를 통해 사용된 데이터를 복원하는 모습을 통해 확인 가능하다. 또한 Sparse coding 알고리즘의 filter가 대상을 지나면서 sparse한 정보를 찾는 과정이 생물학적인 구조와 비슷하다는 연구 결과가 제시되면서 많은 관심을 불러일으키고 있다[18].

알고리즘과 관련된 연구에서는 최적의 Sparse codes와 사전 학습(Dictionary Learning)정보를 찾으며 뉴럴 아키텍처를 탐구하는 시도가 계속되고 있다. 하드웨어 관점에서 Sparse coding의 장점은 매우 적은 수의 스파이크가 sparse하게 활성화 되므로 에너지 측면에서 효율이 높다는 것이다. 또한 뉴로모픽의 스파이크 특성을 이용하면, 로컬 웨이트 업데이트 방식을 사용함으로써 Sparse coding이 하드웨어 제작에 부분적으로 적절하다는 연구는 뉴로모픽 알고리즘 발전의 또 다른 방향성을 제시하고 있다[19].



〈그림 10〉 MNIST Dataset에 뉴로모픽 Sparse coding 알고리즘을 적용한 학습 필터의 복원 시뮬레이션



〈그림 11〉 Natural Image 데이터 셋에 뉴로모픽 Sparse coding 알고리즘을 적용한 학습 필터의 복원 시뮬레이션[19]

Ⅳ. 뉴로모픽 시스템 설계를 위한 하드웨어 연구

뉴로모픽 시스템 설계를 위하여 뉴런 모델 회로, memristor 혹은 spintronic 소자 등을 사용한 차세대 메모리 회로, 각 종 인터페이스 회로 등 다양한 하드웨어 연구가 진행되고 있다. 그 중에서도 학습 방법과 직결되는 시냅스 회로와 전체적으로 복잡한 시스템 구조의 뉴런 학습을 위한 프로세싱 아키텍처 연구가 중요한 부분을 차지한다.

본 항목에서는 시스템 설계를 위한 하드웨어 연구로서 시냅스 회로와 아키텍처에 대해 소개한다.

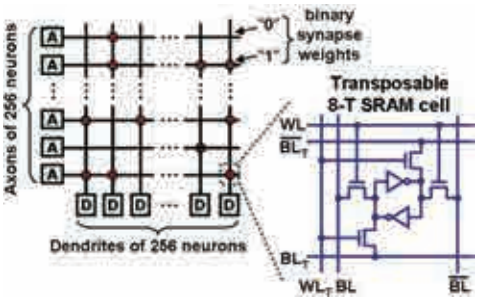
1. 저전력, 저면적 시냅스 회로 연구

다양한 뉴로모픽 알고리즘 개발과 더불어 알고리즘에 효율적인 회로를 찾는 연구는 중요한 과제이다. 본 섹션에서는 저전력, 저면적 시냅스 회로를 위해 고안된 몇 가지 시냅스 회로들을 소개한다.

a. 전치 메모리 시냅스 회로

신경망의 각 계층은 수많은 뉴런으로 구성되어 있고 다양한 알고리즘을 통해 무수히 많은 웨이트를 학습하게 된다. 즉, 학습 도중 웨이트는 수없이 메모리에서 읽고 쓰여지는 과정을 거치게 된다. 뉴런에 대한 인덱스 어드레싱의 하드웨어 복잡도를 고려할 때, 웨이트는 일련의 규칙성에 따라 메모리에 저장될 수 있다. 예를 들어 메모리의 행은 인풋 시냅스의 인덱스, 열은 아웃풋 시냅스의 인덱스로 지정하여 시냅스 정보를 저장할 수 있을 것이다. 하지만 알고리즘을 통해 웨이트를 학습하기 위하여 메모리에서 다시 데이터를 읽을 때, 행과 열의 방향 모두 접근할 수 있는 전치(Transpose) 메모리 구조를 사용한다면 불필요한 메모리 접근을 줄일 수 있고, 결과적으로 전력 소모를 줄일 수 있을 것이다. 다음 〈그림 12〉는 전치 메모리와 관련된 연구로서 SRAM을 사용한 Transposable SRAM synapse 회로이다[20].

하나의 cell은 8개의 트랜지스터를 보유하고 있고 한 클럭 사이클에 행과 열 방향으로 읽고 쓰기가 가능하다. 전

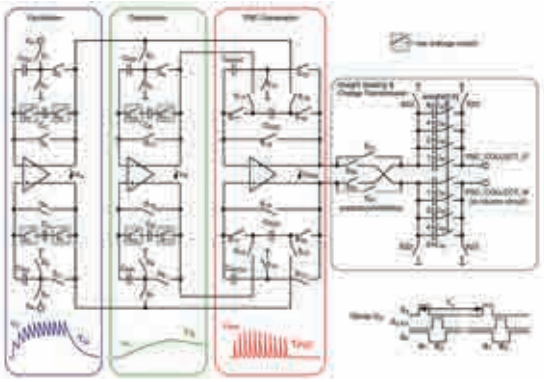


〈그림 12〉 Transposable SRAM synapse 회로[20]

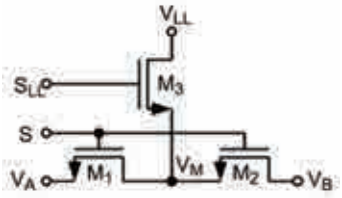
치 메모리의 기능은 On-Chip-Learning의 성능을 높이기 위한 기본적인 방법이라고 할 수 있다.

b. 스위치 커패시터 시냅스 회로

생물학적 메커니즘에 따라 시냅스의 학습은 짧게는 10밀리 초 길게는 1000밀리 초에 걸쳐 이루어진다. 이와 같은 시간동안에 소모되는 에너지를 줄이기 위하여 뉴로모픽 하드웨어에서는 서브 쓰레스홀드(subthreshold)에서 동작하는 아날로그 회로를 사용한 연구가 진행되었다. 하지만 트랜지스터 공정의 미세화에 따른 누설 전류 증가와 함께 소자 불일치(Device mismatch), 공정 변화(Process variation)로 미세 공정에서 회로를 구현하는데 어려움이 따른다.



〈그림 13〉 Switched capacitor synapse 회로[21]



〈그림 14〉 누설 전류를 낮추기 위해 고안된 스위치 회로[21]

스위치 커패시터(Switched capacitor) 기술은 이러한 아날로그 회로 설계의 해결책 중 하나로써, 시간에 따라 서브 쓰레스홀드의 신호 전류를 축적하고, 축전된 전하(Charge)를 기반으로 신호를 전달한다. 다음 〈그림 13〉은 스위치 커패시터를 사용한 하드웨어 연구로, 28 nm CMOS 공정에서 switched capacitor 기술과 STDP 알고리즘을 적용한 시냅스 회로이다[21].

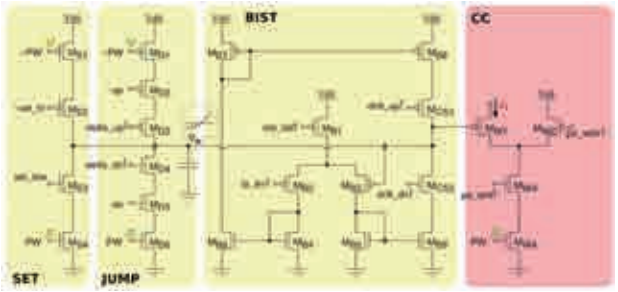
추가적으로 해당 회로에서는 일반적인 MOSFET 스위치 대신에 〈그림 14〉의 스위치 회로를 사용함으로써 별다른 연산 증폭기가 없이 일반적인 스위치 보다 누설 전류를 낮추었다.

c. 쌍 안정 시냅스 회로

일반적으로 신경망에서 시냅스 웨이트가 세밀하게 조정될수록 더 높은 학습 정확도를 기대할 수 있지만 긴 학습 시간동안 세밀한 웨이트를 저장하는 것은 하드웨어 리소스 측면에서 어려운 문제이다. 위의 문제를 해결하기 위한 알고리즘으로 SDSP를 예로 들 수 있으며 관련된 회로 연구가 진행되었다.

쌍 안정(Bi-stable) 회로의 기본적인 접근법은 커패시터를 사용하여 시냅스에 저장되는 내부적인 아날로그 상태 변수를 가지는 것이다. 앞선 SDSP의 수식(15), (16)과 비교할 때 아날로그 상태 변수는 $X(t)$를 의미한다. 하지만 실제 웨이트는 두 가지 상태인 바이너리로 존재하며 커패시터가 방전되더라도 가장 최근의 상태를 유지하게 된다.

〈그림 15〉은 SDSP를 적용한 쌍 안정 시냅스 회로이다[17]. 회로의 SET 영역은 바이너리 시냅스의 상태를 초기화하며 JUMP 영역에서는 상태 변수와 수식(17), (18)



〈그림 15〉 Bi-stable synapse 회로[17]

에 따라 웨이트를 학습시킨다. 마지막 BIST 영역은 래치(latch) 회로로 구성되어 있으며 Positive feedback을 통해 동작하고 수식(19), (20)에 따라 학습된 웨이트의 상태 유지에 기여한다.

2. 신경 시스템에 적합한 아키텍처 연구

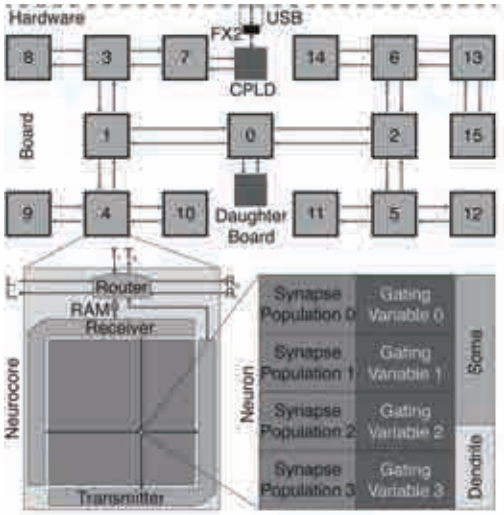
뉴로모픽의 다양한 알고리즘 및 회로를 저전력 네트워크로 발전시키기 위하여 다양한 하드웨어 아키텍처가 사용되고 있다. 하드웨어는 설계자가 로직을 자유롭게 변경할 수 있는 FPAA(Field Programmable Analog Array) 혹은 FPGA(Field Programmable Gate Array)가 일반적인 선택지로써 아날로그 및 디지털 시스템 연구가 진행되고 있다. 생물학적 시스템 관점에서 증폭, 문턱 값 그리고 적분 등의 형태가 아날로그적 표현에 가깝지만, 데이터의 신뢰성 문제가 고려되면서, 데이터 왜곡이 적은 디지털 방식을 아날로그 방식과 혼용하는 혼성 모드 방식과 디지털 방식에 관한 연구가 많은 부분을 차지한다.

하지만 연구에 사용되는 대부분의 하드웨어는 구조적으로 뉴로모픽 시스템 개발에 적합하지 않다. 특히 하드웨어의 적은 인풋, 아웃풋 포트와 기존의 폰 노이만(Von Neumann) 구조에 따른 메모리와 프로세서 사이의 병목(bottleneck) 현상은 복잡한 생물학적 신경 시스템을 처리하는데 부족함이 있다. 더욱이 신경망의 규모가 커져감에 따라 신경 시스템에 적합한 하드웨어 아키텍처의 필요성이 촉구되고 있다.

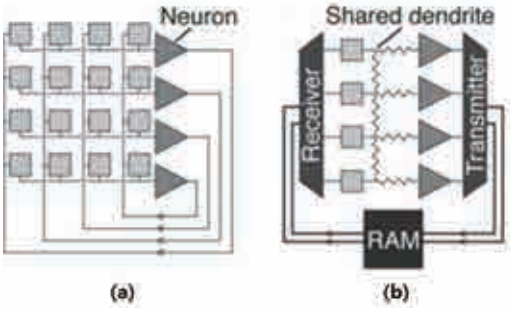
본 항목에서는 폰 노이만 구조를 벗어나 보다 생물학적 신경 시스템 구조로의 접근을 시도한 아날로그와 디지털 혼성 모드 방식 및 디지털 방식의 뉴로모픽 시스템 아키텍처 일부를 소개한다.

a. Neurogrid

스탠포드 대학의 Brain in Silicon 연구 그룹이 개발한 Neurogrid 아키텍처는 아날로그 회로와 함께 디지털 통신 프레임워크를 사용하는 혼성 신호 시스템이다[22]. 아날로그 서브 쓰레스홀드 회로를 사용하여 뉴런의 적분이나 지수 함수의 특징을 구현하고자 하였으며, 약 백만 개의 뉴런과 수십억 개의 시냅스를 병렬 처리하는 실시간 뉴런 시스템을 개발하였다.



〈그림 16〉 Neurogrid 하드웨어 아키텍처[22]



〈그림 17〉 (a) Fully dedicated 시냅스 구조
(b) Shard dendrite 시냅스 구조[22]

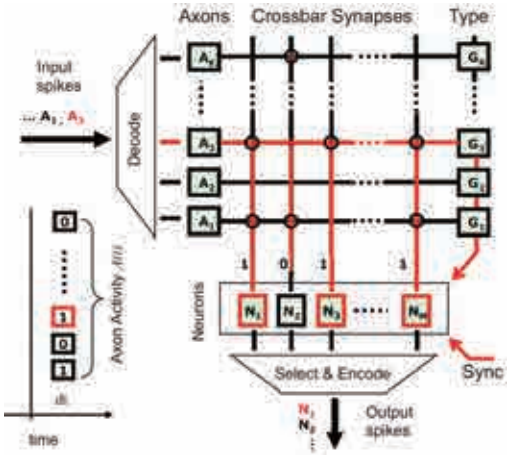
〈그림 16〉에 보이는 것처럼 Neurogrid는 구조적으로 16개의 뉴런 코어를 가지고 있고, 코어의 Receiver와 Transmitter는 Address Event Representation(AER) 프로토콜 통신을 기반으로 뉴런의 인덱스를 디코딩하고 인코딩하는데 사용된다. 인덱스의 교차점은 총 256×256의 뉴런 배열로 나타낼 수 있으며, 각 뉴런은 4개의 서로 다른 아날로그 시냅스 회로를 가진 Shared dendrite 구조를 가진다. 〈그림 17〉에 보이는 것과 같이 Shared dendrite구조는 일반적인 Fully dedicated구조에서 면적과 전력 소모 측면이 개선된 형태이다. 개선된 구조는 코어의 내부 메모리를 사용하여 시냅스 웨이트를 저장하고 최소의 시냅스를 공유하면서, 저항 회로를 통해 인접 뉴런을 연결한다. 이러한 구조는 N개의 뉴런에 대하여 면적과 전력 소모 측면에서 $1/N$만큼 이득을 가져올

수 있다.

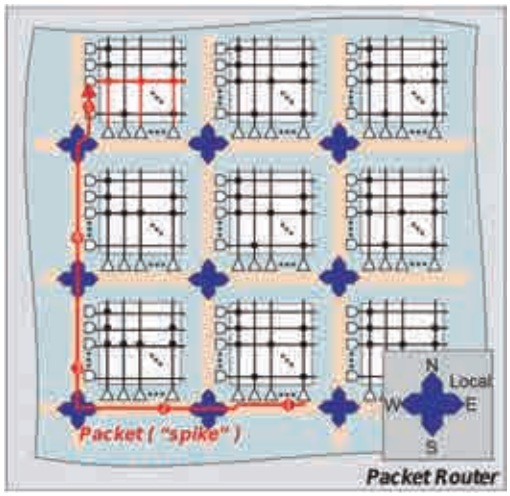
통신적인 측면에서 AER 프로토콜을 사용함은 곧 스파이크의 사건 기반 특성에 착안한 것이라고 할 수 있다. Neurogrid는 〈그림 16〉의 Binary tree topology를 기반으로 한 멀티캐스팅 라우팅을 사용함으로써 각 뉴런 코어를 연결하고 병렬적으로 다른 프로세스를 처리 할 수 있는 뇌의 양상을 모방했다고 할 수 있다.

b. TrueNorth

IBM에서 개발한 TrueNorth는 full custom ASIC 설계이며 디지털 회로로 구성되어 있다[23]. 본 아키텍처의 특징은 하드웨어와 소프트웨어의 일대일 연결이 용이한 프로그래머블한 특성과 함께 폰 노이만 아키텍처의 메모리 병목문제를 해결하는데 초점을 두었다고 할 수 있다. TrueNorth 아키텍처는 부분적으로 비동기식, 동기식 두 가지 모두 지원하며, 4096개의 시냅스 신경 코어를 가지고 있고 각 코어는 256개의 시냅스를 가진 256개의 뉴런으로 구성되어 있다. 코어의 시냅스는 〈그림 18〉과 같은 크로스바 어레이 구조로 배치되어있고 동일한 열에 존재하는 시냅스들은 LIF 모델을 기반으로 한 각 뉴런에 연관된다.



〈그림 18〉 TrueNorth 시냅스 신경 코어 구조[24]



〈그림 19〉 Packet Router를 사용한 TrueNorth 시냅스 신경 코어간 통신[23]

통신적인 측면에서 〈그림 19〉에 보이는 것처럼 각 코어를 구분하는 수직, 수평 축의 교차점에 존재하는 라우터는 코어 간 뉴런 스파이크의 이동을 통제한다. 하나의 코어에서 다수의 코어에 스파이크 전달도 가능하며, 코어는 개별적으로 시스템 메모리를 가지고 시냅스 매트릭스와 라우팅 테이블을 구성하고 있기 때문에 병렬 분산 처리가 가능하다. 활성화된 코어들은 라우팅에 의하여 각자 자신과 가까운 코어와 더 많은 연결 관계를 가지게 되는데, 이는 마치 뇌에서 산발적으로 활성화된 임의의 뉴런 집단이 병렬적으로 프로세스를 처리하는 모습과 유사하다고 할 수 있다.

Ⅴ. 앞으로의 연구 동향

현재 뉴로모픽 시스템 연구는 알고리즘과 하드웨어 관점에서 다방면으로 접근하려는 시도가 계속되고 있다. 알고리즘 측면에서 STDP와 같은 뉴로모픽 알고리즘은 생물학적 메커니즘을 기반으로 비 스파이크 알고리즘에 비해 단순한 학습 방법을 수행한다. 기존 딥러닝에 비해서 지도 및 비지도학습의 능력까지 구현할 수 있다는 장점이 있지만, 아직까지 학습 정확도 면에서는 기존 딥러닝이 우수한 것으로 보인다. 따라서 신경 가소성 메커니즘을 따르는 스파이킹 알고리즘과 기존 비 스파이크 딥러닝에서 높은 정확도를 보이는 CNN 등의 알고리즘을 접목시키는 연구가 계속될 것으로 보인다.

동시에 깊어지는 신경망에서 발생할 수 있는 학습의 한계를 개선하기 위해 SDSP와 같이 보다 신경 메커니즘에 근접한 알고리즘 연구가 필요할 것이다. 하지만 다양한 생물학적 요소가 관여될수록 뉴로모픽 시스템은 더욱 복

잡해지고 많은 하드웨어 리소스가 요구될 것으로 판단된다. 따라서 Bi-stable synapse 회로와 같이 알고리즘에 적합한 회로 연구가 병행되어야 할 것이다. 추가적으로 본 논문에서는 다루지 않았지만 Memristor, Spintronic devices 등의 차세대 메모리를 활용하는 다양한 인터페이스 회로 연구 또한 뉴로모픽 시스템 연구에 추진력을 불러일으킬 것으로 보인다.

아직까지 뉴로모픽 시스템의 연구가 학습 능력 향상에 집중되어 있지만, 아키텍처의 연구 또한 중요한 부분을 차지한다. 특히 시스템 네트워크 측면에서 폰 노이만의 메모리 병목 문제가 크게 부각되고 있고, 생물학적 뇌의 병렬 프로세싱을 모방하기에 기존 폰 노이만 구조는 적합하지 않다. 따라서 기존 구조의 탈피를 위해서 보다 정확한 뇌의 시스템을 탐구하고, 네트워크 알고리즘과 아키텍처를 개발하는 연구가 계속되어야 할 것이다.

뉴로모픽 시스템을 설계하기 위해서는 다양한 분야의 학문의 융합이 필요하다. 생물학적 학습의 원리와 뉴로사이언스의 계산적 이해를 접목시켜야하고, 공학적으로 구현하기 위한 알고리즘과 시스템 등의 다양한 공학 지식의 발전이 필요하다. 인간의 뇌의 구조적 비밀을 탐구하는 노력이 계속되는 만큼 공학적 연구도 지속적인 발전을 거듭할 것이며, 향후 뉴로모픽 공학 분야에서 저전력, 고집적 On-Chip-Learning 시스템의 등장을 기대해본다.

참고문헌

[1] W. M. K. Wulfram Gerstner, "Spiking neuron models," Phys. Rev. E - Stat. Nonlinear, Soft Matter Phys., vol. 66, no. 4, p. 564, 2002.

[2] M. J. Tovee, E. T. Rolls, A. Treves, and R. P. Bellis, "Information encoding and the responses of single neurons in the primate temporal visual cortex.," J. Neurophysiol., vol. 70, no. 2, pp. 640-654, 1993.

[3] B. Widrow and M. A. Lehr, "30 Years of Adaptive Neural Networks: Perceptron, Madaline, and Backpropagation," Proc. IEEE, vol. 78, no. 9, pp. 1415-1442, 1990.

[4] B. Widrow and S. D. Stearns, Adaptive Signal Processing. Upper Saddle River, NJ, USA: Prentice-Hall, Inc., 1985.

[5] O. JJ, "Principles of neurodynamics. perceptrons and the theory of brain mechanisms.," Arch. Gen. Psychiatry, vol. 7, no. 3, pp. 218-219, Sep. 1962.

[6] T. P. Lillicrap, D. Cownden, D. B. Tweed, and C. J. Akerman, "Random synaptic feedback weights support error backpropagation for deep learning," Nat. Commun., vol. 7, 2016.

[7] I. Hubara, D. Soudry, and R. El Yaniv, "Binarized Neural Networks," no. Nips, pp. 1-9, 2016.

[8] H. Mostafa, B. Pedroni, S. Sheik, and G. Cauwenberghs, "Hardware-efficient on-line learning through pipelined truncated-error backpropagation in binary-state networks," Front. Neurosci., vol. 11, no. SEP, 2017.

[9] J. H. Lee, T. Delbruck, and M. Pfeiffer, "Training deep spiking neural networks using backpropagation," Front. Neurosci., vol. 10, no. NOV, 2016.

[10] S. K. Esser and J. V Arthur, "Backpropagation for Energy-Efficient Neuromorphic Computing," Adv. Neural Inf. Process. Syst. 28 (NIPS 2015), pp. 1-9, 2015.

[11] L. F. Abbott and S. B. Nelson, "Synaptic plasticity: Taming the beast," Nat. Neurosci., vol. 3, no. 11s, pp. 1178-1183, 2000.

[12] H. Markram, W. Gerstner, and P. J. Sjöström, "Spike-timing-dependent plasticity: A comprehensive overview," Front. Synaptic Neurosci., vol. 4, no. JULY, pp. 2010-2012, 2012.

[13] R. C. Froemke and Y. Dan, "Spike-timing-dependent synaptic modification induced by natural spike trains," Nature, vol. 416, no. 6879, pp. 433-438, 2002.

[14] P. U. Diehl and M. Cook, "Unsupervised learning of digit recognition using spike-timing-dependent plasticity," Front. Comput. Neurosci., vol. 9, no. August, pp. 1-9, 2015.

[15] S. R. Kheradpisheh, M. Ganjtabesh, S. J. Thorpe, and T. Masquelier, "STDP-based spiking deep convolutional neural networks for object recognition," Neural Networks, vol. 99, pp. 56-67, 2018.

[16] S. Fusi, M. Annunziato, D. Badoni, A. Salamon, and D. J. Amit, "Spike-driven synaptic plasticity: theory, simulation,

VLSI implementation.," Neural Comput., vol. 12, no. 10, pp. 2227–2258, 1999.

[17] N. Qiao et al., "A reconfigurable on-line learning spiking neuromorphic processor comprising 256 neurons and 128K synapses," Front. Neurosci., vol. 9, no. APR, pp. 1–17, 2015.

[18] B. A. Olshausen and D. J. Field, "Emergence of simple-cell receptive field properties by learning a sparse code for natural images," Nature, vol. 381, no. 6583, pp. 607–609, 1996.

[19] J. Zylberberg, J. T. Murphy, and M. R. DeWeese, "A sparse coding model with synaptically local plasticity and spiking neurons can account for the diverse shapes of V1 simple cell receptive fields," PLoS Comput. Biol., vol. 7, no. 10, 2011.

[20] J. S. Seo et al., "A 45nm CMOS neuromorphic chip with a scalable architecture for learning in networks of spiking neurons," Proc. Cust. Integr. Circuits Conf., pp. 2–5, 2011.

[21] M. Noack et al., "Switched-capacitor realization of presynaptic short-term-plasticity and stop-learning synapses in 28 nm CMOS," Front. Neurosci., vol. 9, no. FEB, pp. 1–14, 2015.

[22] B. V Benjamin et al., "Neurogrid: A Mixed-Analog-Digital Multichip System for Large-Scale Neural Simulations," Proc. IEEE, vol. 102, no. 5, pp. 699–716, 2014.

[23] P. A. Merolla et al., "A million spiking-neuron integrated circuit with a scalable communication network and interface," Science (80-.)., vol. 345, no. 6197, pp. 668–673, 2014.

[24] P. Merolla, J. Arthur, F. Akopyan, N. Imam, R. Manohar, and D. S. Modha, "A digital neurosynaptic core using embedded crossbar memory with 45pJ per spike in 45nm," Proc. Cust. Integr. Circuits Conf., pp. 1–4, 2011.

김현성

• 2018년 2월 경희대학교 전자공학 학사
• 2018년 3월~현재 고려대학교 전기전자공학 석사과정

〈관심분야〉
저전력 SoC 설계, 저전력 스파이킹 뉴럴 네트워크 프로세서 설계

당호영

• 2012년 2년 고려대학교 전기전자전파공학 학사
• 2012년 3월~현재 고려대학교 전기전자전파공학 석박통합과정

〈관심분야〉
오류 정정 부호, 저전력 SoC 설계, 무선 전력 송신, 저전력 스파이킹 뉴럴 네트워크 프로세서 설계

박종선

• 1998년 2월 고려대학교 전자공학과 학사
• 2000년 8월 Purdue Univ. School of ECE 석사
• 2005년 12월 Purdue Univ. School of ECE 박사
• 2005년 5월~2008년 2월 미국 Marvell Semiconductor, Staff Design Engineer
• 2008년 3월~현재 고려대학교 전기전자전파공학부 조교수, 부교수, 교수

〈관심분야〉
신뢰성 강한 저전력 통신 및 디지털 신호처리 프로세서 설계, 저전력 임베디드 메모리, 저전력 뉴럴 네트워크 프로세서 설계

멤리스터 소자를 활용한 뉴로모픽 동향연구

유호영
광운대학교
지능정보임베디드SW공학과

김영민
광운대학교
컴퓨터정보공학부

Ⅰ. 서 론

1971년 인텔사에서 최초로 4비트 CPU가 출시된 이래로 무어의 법칙에 따라 컴퓨터의 성능은 급격하게 발전해왔다. 하지만 2010년 이후로 발열과 터널링 현상으로 인해 과학자들은 2년마다 2배라는 무어의 법칙을 지키지 못하였고 하나의 칩에 여러 개의 CPU 집적한 멀티코어 프로세서로 컴퓨터의 성능을 향상 시키고 있다. 최근 구글에서 개발된 인공지능 AI 알파고는 바둑의 수많은 경우의 수를 처리하기 위해 1,000개가 넘는 CPU, 200개 가까운 그래픽 카드장치, 100만개 이상의 메모리를 사용했다. 알파고처럼 점점 증가하는 방대한 데이터를 처리하기 위해 반도체 수만 늘리는 현재 시스템에서는 전력 공급 문제도 생기는데, 현재 증가 추세로 볼 때 오는 2040년에는 필요 전력을 확보를 위해 1억 개의 화력발전소가 필요하다는 예측도 나오고 있다[1]. 데이터를 처리하기 위해 막대한 전력이 소모되는 이유는 현재의 컴퓨팅 시스템이 가진 폰 노이만 구조 때문이고, 성능을 높이기 위해 집적한 많은 양의 CPU와 메모리가 데이터를 처리하기 위해 서로 간에 통신 과정에서 병목현상이 발생함에 따라 많은 전력이 소모되는 것이다. 때문에 현재 가장 이슈가 되고 있는 영상처리, 자율 주행 시스템, AI 등 많은 연산을 단시간에 처리해야 하는 기술들을 적용하기 위해서 기존의 컴퓨팅 시스템 방식은 완전히 탈피해야 한다.

최근에 이러한 문제를 해결하기 위해 가장 주목받고 있는 방식은 인간의 뇌에서 영감을 얻은 인공신경망(Artificial Neural Network)이다. 인간의 뇌는 컴퓨터와 달리 방대한 데이터를 처리하더라도 전력을 거의 소모하지 않는데, 그 이유는 인간의 뇌는 수백억 개의 뉴런과 시냅스를 잇는 복잡한 연결 구조가 병렬로 이루어졌기 때문이다. 특히 이 시냅스는 뇌에서 사용되지 않을 때 수시로 연결을 ON/OFF 시키기 때

문에 전력을 최소화하는데 가장 큰 역할을 한다.

인공신경망은 현재 디지털 시스템으로 높은 정확성을 가지게 구현할 수 있지만 인공신경망은 대량의 데이터처리를 요구함에 따라 디지털로 구현 시 칩 면적이 증가하고, 속도가 느리며 전력소비가 매우 크다는 단점이 있다. 이러한 단점을 보안하기 위해서는 인공신경망의 아날로그 구현은 필수적이다.

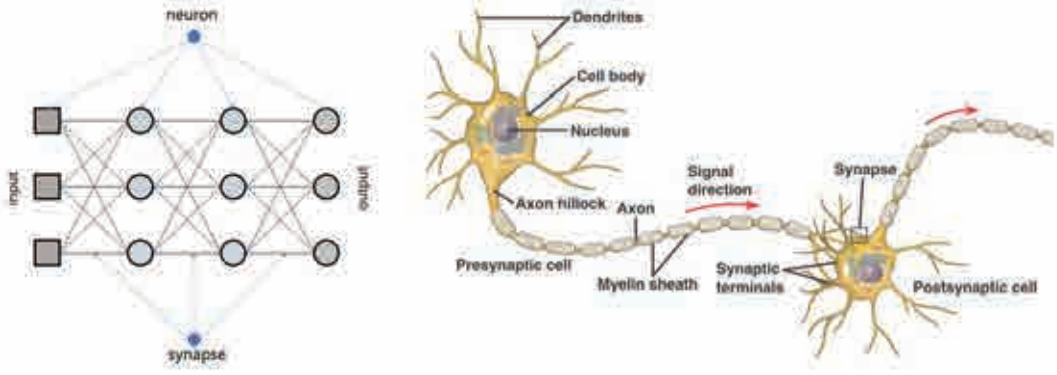
인공신경망의 아날로그 시냅스를 구현하기 위해 저항, 커패시터, 트랜지스터를 기본 소자로 사용하는 방식들이 제시되었지만 정적, 부정확성 등의 문제로 많은 어려움을 겪고 있다. 본 논문에서는 이전 전류의 방향에 따라 저항의 크기를 수시로 바꿔 데이터를 저장하고 처리하는 특성을 가진 멤리스터(Memristor) 소자를 활용한 뉴로모픽 연구개발 동향을 소개하고자 한다.

Ⅱ. 뉴로모픽

Modha's team의 과학자들은 고양이 수준의 뇌를 컴퓨터로 구현하기 위해 147,456개의 CPU와 144TB의 메모리를 사용하고 1.4MW의 전력을 소모하는 시스템을 개발했다[2]. 고양이 보다 지능이 훨씬 높은 인간의 뇌를 구현하기 위해서는 이 시스템보다 1,000배 빠른 속도와 전력이 요구되지만 인간의 뇌는 이보다 많은 양의 연산을 처리함에도 불구하고 10W의 정도의 전력만 사용하며 매우 빠르다. 때문에 인간의 뇌를 모방하는 연산 법들이 많이 연구되었으며 최근 가장 주목받는 것이 인공신경망(Artificial Neural Network)이다. 인공신경망은 인간의 뇌에서 영감을 얻은 소프트웨어 학습 알고리즘으로 알고리즘을 이용해 데이터를 분석하여 결과를 출력하고, 분석한 결과를 가지고 학습하며, 학습한 내용을 가지고 컴퓨터 스스로 판단이나 예측을 한다. 그런데 인공신경망은 〈그림 1(a)〉처럼 구조가 아니라 복잡한 소프트웨어로 코딩 되어있어 방대한 데이터를 처리하기 위해서는 고사양의 슈퍼컴퓨터들이 요구되기 때문에 일반인들과 기업이 사용하기에는 매우 어려운 현실이다[3]. 이러한 문제점을 해결하기 위해 인간의 뇌를 하드웨어적으로 구현하여 병렬처리를 가능하도록 하는 뉴로모픽이 가장 좋은 대안으로 선택되었고, 뉴로모픽은 Neuro + morphic의 합성어로 인간의 뇌의 뉴런을 하드웨어로 구현함을 말한다. 뉴로모픽은 1980년대 후반 캘리포니아 공대의 Carver Mead가 제안한 개념으로, 트랜지스터의 subthreshold영에서의 물리적 현상이 시냅스의 동작과 비슷하여 뇌의 구조와 기능을 전자적인 회로로 구현할 수 있다는 아이디어이다[4-5].

Ⅲ. 멤리스터

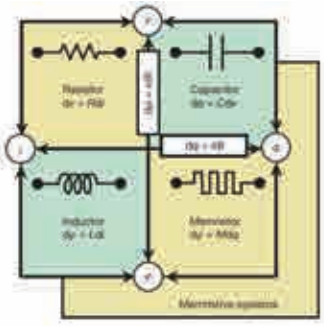
인간의 뇌는 뉴런이라고 불리는 신경세포로 구성되어 있으며, 〈그림 1(b)〉처럼 세포와 축삭(Axon), 수상돌기(Dendrite)라는 가지들로 구성되어 있다. 세포들은 가지들이 뻗어 나와 서로 연결이 되는데 가지와 가지를 이어주어 신호를 주고받게 해주는 부위를 시냅스라 하고 시냅스는 글루타민산염, 도파민이라는 물질 교환을 통해 스위치를 키고 끄는 것처럼 필요에 따라 신경세포를 자유롭게 연결하기도 하고 끊을 수도 있다[6]. 또한 시냅스는 스파



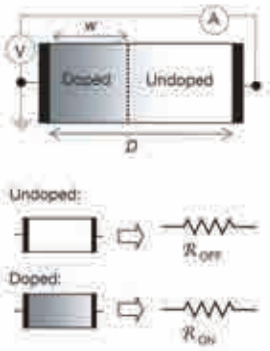
〈그림 1〉 신경세포의 계층 구조(a), 전형적인 신경세포(b)[6]

이크에 따른 자극의 횟수에 따라 전류가 증가 및 감소되는 특성으로 자극을 기억하는 메모리 기능도 할 수 있다. 이러한 뉴로모픽의 특성을 하드웨어로 구현할 때 시스템 규모가 크면 클수록 시냅스의 강도를 표현하기 위한 대량의 메모리 용량이 요구되기 때문에 칩 면적 상승이라는 문제가 생긴다. 때문에 많은 과학자들은 시냅스를 단일 소자로 구현하여 문제점을 해결하고자 하는 노력을 하였고, 시냅스의 특성을 하드웨어로 구현하기 위한 단일소자 선택의 조건은 시냅스의 자극 횟수에 따라 전류를 조절할 수 있어야 하며, 그 전류의 값을 유지하는 비 휘발성 소자여야 한다. 최근 이러한 특성을 가지는 대표적인 소자로 멤리스터가 제시됐다[7].

1971년 Leon chua에 의해 이론적으로 멤리스터가 공개되기 전까지는 저항, 커패시터, 인덕터 이 3가지만이 수동소자로 이야기됐다. 〈그림 2〉처럼 Leon chua는 전하와 자기 유도와의 관계가 비선형적 관계를 보이는 제 4의 소자가 존재할 것으로 예측을 하였고, 2008년 Strukow은 실험을 통해 소자에 통과한 전류량의 따라 저항 값이 가변 하는 특성의 소자를 멤리스터로 정의했다.



〈그림 2〉 4개의 기본소자 상관관계[8]



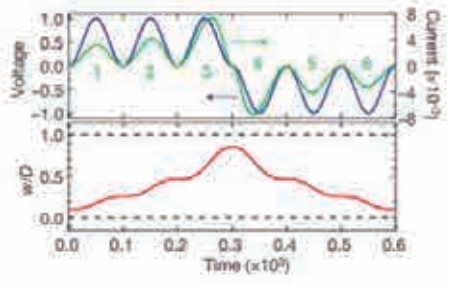
〈그림 3〉 단순화 된 멤리스터[8]

Strukow은 멤리스터를 〈그림 3〉와 같이 2단자 수동소자로 나타내었고, 멤리스터라고 불리는 수동 소자 양단에 외부 전압을 인가하게 되면 도핑 된 도펀트가 드리프트 되면서 두 사이에 경계가 이동하게 된다[8]. 이러한 원리로 멤리스터는 전류의 양을 조절하고, 중간에 전압이 끊어져도 두 사이에 경계는 유지됨으로써 과거의 통과 한 전류의 양을 기억하는 비 휘발성 메모리로 사용될 수 있다. HP사는 정보를 저항 값으로 저장하는 멤리스터의 비 휘발성 특성을 이용해 기존의 플래시 메모리, SSD, DRAM의 기억소자를 멤리스터로 대체한다면 칩 면적과 에너지 효율 부분에서 크게 효과를 얻을 것이고 2018년도에는 상용화가 가능할 것으로 발표했다[9-10].

Ⅳ. 멤리스터를 활용한 뉴로모픽

Strukov는 〈그림 4〉에 나타난 것처럼 멤리스터 양단에 전압이 인가되는 빈도수의 따라 전류의 양이 점점 커지는 이러한 특성은 스파이크 자극에 따라 전류의 양을 조절하는 시냅스와 매우 비슷하다고 발표했다[8]. 때문에 시냅스와 비슷한 특성을 가지는 멤리스터를 집적회로의 포함시키는 것만으로 회로의 기능은 크게 확장될 수 있고 특히 뉴로모픽을 아날로그로 구현할 때 비 휘발성 저장장치와 관련된 주요 문제가 해결되는 장점으로 많은 과학자들은 멤리스터 소자를 활용한 뉴로모픽 시스템에 많은 노력을 기울이고 있다. 뉴로모픽은 디지털 시스템으로도 꽤 높은 수준으로 구현될 수 있지만 넓은 면적, 느린 속도, 고 전력의 이유로 아날로그 회로를 이용한 뉴로모픽 구현이 불가피하다.

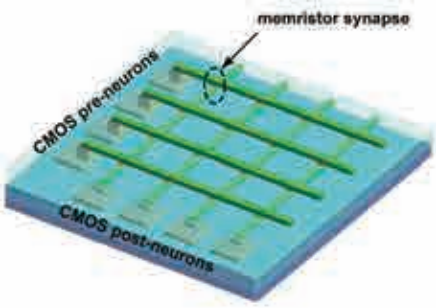
2011년 H. Kim은 [1, −1]의 가중치를 가질 수 있고



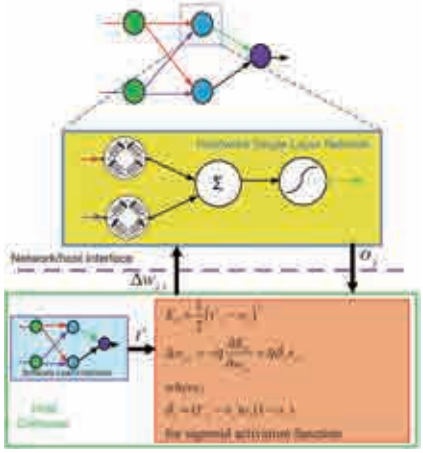
〈그림 4〉 반복되는 신호에 따른 멤리스터의 전류량 변화[8]

아날로그 곱셈기의 역할을 하는 멤리스터 브릿지[11] 회로를 이용한 시냅스 하드웨어 구현 아키텍처를 소개했다[12]. 그리고 전자회로 특성상 다층 신경망에서 자주 사용되는 Backpropagation이 어려운 이유로 Chip-in-the-loop[13]를 통한 학습 방법도 같이 소개했다. 제안된 방법은 〈그림 6〉처럼 프로세스를 구성하고 호스트 컴퓨터에서 학습한 뒤 나온 가중치를 아날로그 회로로 입력시켜 순방향 계산을 아날로그 회로에서 수행한다. 비 휘발성인 특성을 가지는 멤리스터 특성상 업데이트 된 가중치를 다시 받아올 필요 없이 하드웨어 시냅스에서 직접 적용이 될 수 있기 때문에 논문에 제시된 하드웨어 학습 방법은 호스트-인터페이스 간의 통신 오버 헤드를 절반으로 감소시키며 가중치 판독을 위한 부가적인 회로가 필요 없기 때문에 회로 설계가 간단해지고, 칩의 영역을 줄일 수 있다.

[14]에서는 100nm×100nm의 영역을 갖는 나노스케일 멤리스터에 연결된 2개의 CMOS 기반 하이브리드 기법을 소개했다. 〈그림 5〉에 개략적으로 나타낸 크로스바 하드웨어 구조는 생물학적인 시스템과 유사한 연결성과 밀도를 제공할 수 있으며 Pre-neuron 층에 있는 모든 CMOS Neuron은 시냅스 가중치를 가지는 Post-neuron층에 모든 Neuron과 연결됨을 보여준다. 특히 본 논문에서는 Hessian 학습을 위한 중요한 시냅스 규칙인 STDP가 제시된 하이브리드 회로에서 달성될 수 있음을 증명했다.



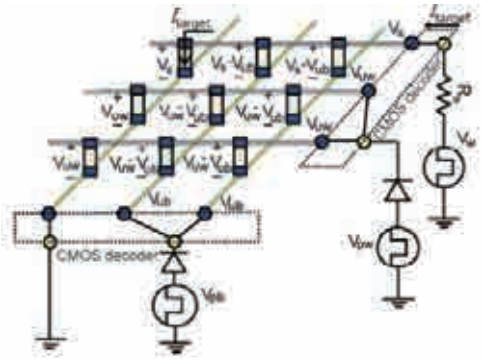
〈그림 5〉 CMOS 뉴런과 멤리스터 시냅스의 개략도[14]



〈그림 6〉 제안 된 Chip-in-the-loop 학습[12]

[15]는 [14]에서 소개된 하이브리드 멤리스터 크로스바 CMOS 시스템이 미래의 메모리 및 로직 애플리케이션에 주요한 후보지만 저장 요소를 우회하는 기생 전류 때문에 Array가 정상적으로 동작할 수 없음을 밝히고 새로운 프로그래밍 기법을 소개했다. 〈그림 7〉처럼 소개된 측정 다이어그램은 외부의 다이오드와 멤리스터 자체의 고유한 비선형 I-V 특성을 활용해 우회하는 기생 전류를 차단하여 병렬 전류 경로를 제거해 최대 10개의 서로 다른 레벨을 멤리스터에 저장할 수 있음을 보여준다. 또한 각 크로스 포인트에서 트랜지스터와 다이오드 등 외부 소자를 필요로 하지 않아 〈그림 7〉과 같이 Array 접근법을 가능하게 하고 〈그림 5〉처럼 하부 CMOS 회로 위에 직접 집적할 수 있다. 추가적으로 크로스 Array의 데이터 저장 기능을 향상시키기 위한 디코더 같은 주변 기기 또한 같이 소개했다.

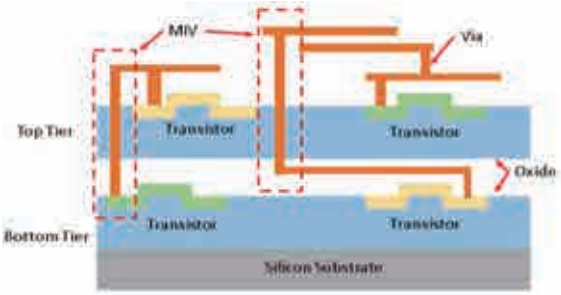
[16]에서는 기존의 연구된 모든 2D 뉴로모픽 집적회로의 한계를 극복하기 위한 3D 뉴로모픽 통합 회로를 소개했다. 기존의 공개된 모든 2D 뉴로모픽은 연결되는 뉴런의 개수마다 연결 밀도가 증가하기 때문에 대규모 처리에



〈그림 7〉 크로스바 array에서 다단계 저장을 가능하게 하는 측정 다이어그램. 병렬 전류 경로는 외부의 다이오드와 멤리스터의 고유한 전류 정류 특성으로 인해 차단 된다[15]

〈표 1〉 트렌지스터 레벨의 3D 뉴로모픽[16]

	TrueNorth[17]	HICANN Chip[18]
Neurons	1,048,576	511
Synapses	256 millions	113,636
Area	430mm^2	50mm^2
Neuron Density	2435.55 / mm^2	10 / mm^2
Ratio of Synapses to Neurons	244	222



〈그림 8〉 트렌지스터 레벨의 3D 뉴로모픽[16]

는 굉장히 비효율 적이다. 〈표 1〉에서 보는 것처럼 대표적인 2D 뉴로모픽 TrueNorth[17]와 HICANN[18]은 신경세포에서 시냅스로 연결되는 수가 각 244개와 222개뿐인데, 이러한 낮은 삽입 연결은 뉴로모픽의 최대 장점이라고 할 수 있는 대량 병렬 처리를 감소시키기 때문에 본 논문에서는 MIV(Monolithic Inter-Tier Via) 기술[19]을 적용한 수직 나노스케일 3D 뉴로모픽을 소개했다. 〈그림 8〉처럼 3D 뉴로모픽의 뉴런과 시냅스는 MIV 기술을 사용해 3차원 적으로 쌓아 제작됨으로 배선 길이를 줄여 배선 밀도를 증가시킬 수 있고, 향상 된 확장성과 50%의 전력 소비 감소, 기존 칩 면적의 35% 최소화, 멤리스터의 특성을 이용해 비 휘발성 메모리로 사용될 수 있다는 많은 장점들이 있다. 또한 이러한 기술들은 현재 개발 된 기술을 적용하여 쉽게 접근할 수 있기 때문에 무어의 법칙을 좀 더 유지할 수 있는 솔루션이다.

Ⅴ. 결 론

멤리스터는 이전의 전류 값을 저항의 크기를 변화시켜 데이터를 저장하는 특성을 가진 비 휘발성 소자로 신세대 메모리와 인공신경망을 하드웨어로 구현한 뉴로모픽 분야에서 각광받고 있다. 현재 나노스케일 공정, 3D 뉴로모픽 구현으로 집적도를 높이고 전력 소비를 많이 감소시켰지만 생물학적인 인간의 뇌의 학습을 완벽하게 구현하기에는 매우 부족한 현실이다. 또한 전자회로 특성상 Backpropagation을 하드웨어로 구현하기란 쉽지 않아 디지털 아날로그 등의 융합 방식이 필수적으로 연구되어야 한다.

참 고 문 헌

[1] "빅데이터와 인공지능은 얼마나 에너지를 쓸까?," http://www.e2news.com/news/articleView.html?idxno=100132

[2] S. Adee, "Cat-Brain Fever," IEEE Spectrum, pp. 16-17, 2010.

[3] G. W. Choi "뉴로모픽! 인공지능의 새로운 생태계를 만든다," Vacuum Magazine, pp. 26-28, 2017.

[4] C. Mead, "Neuromorphic electronic systems," Proc. IEEE, vol. 78, no. 10, pp. 1629-1636, 1990

[5] G. Indiveri, et al., "Neuromorphic silicon neuron circuits," Frontiers in Neuroscience, vol. 5, no. 73, 2011

[6] "1000억개 뉴런, 100조개 시냅스…이들은 기억에서 무슨 일할까," http://www.hani.co.kr/arti/science/science_general/755976.html#csidx626eb99b76c63a2b28879a9d4a55278 http://www.hani.co.kr/arti/science/science_general/755976.html

[7] L. O. Chua, "Memristor - the missing circuit element," IEEE Trans. Circuit Theory, vol. 18, no. 5, pp. 507-519, 1971.

[8] D. B. Strukov, et al.,"The missing memristor found," nature, vol. 453, pp. 80-83, 2008.

[9] "HP to replace flash and SSD in 2013," https://www.electronicsweekly.com/news/products/memory/ief2011-hp-to-replace-flash-and-ssd-in-2013-2011-10

[10] "HP 100TB Memristor drives by 2018 – if you're lucky, admits tech titan," http://www.theregister.co.uk/2013/11/01/hp_memristor_2018/

[11] H. S. Kim, et al., "Memristor Bridge Synapses," in Proc. IEEE, vol. 100, no. 6, pp. 2061-2070, 2012.

[12] H. S. Kim, et al., "Memristor Bridge Synapse-Based Neural Network and Its Learning," in Proc. IEEE, vol. 23, no. 9, pp. 1426-1435, 2012.

[13] B. Erkmen, et al., "VLSI Implementation of General Purposed Conic Section Function Neural Network," 5th International Conference on Electrical and Electronics Engineering, vol.2, pp. 80–84, 2007

[14] S. H. Jo, et al., "Nanoscale memristor device as synapse in Neuromorphic systems," NanoLett, vol. 10, pp. 1297–1301, 2010.

[15] K. H. Kim, et al., "A functional hybrid memristor crossbar–array/CMOS system for data storage and neuromorphic applications," Nano Lett. 12, pp. 389–395, 2012.

[16] Z. Zhou, et al., "Memristor–based 3D neuromorphic computing system and its application to associative memory learning," in 2017 IEEE 17th International Conference on Nanotechnology (IEEE–NANO), pp. 555–560, 2017.

[17] F. Akopyan, et al., "True North: Design and Tool Flow of a 65 mW 1 Million Neuron Programmable Neurosynaptic Chip," Ieee Transactions on Computer–Aided Design of Integrated Circuits and Systems, vol. 34, pp. 1537–1557, 2015.

[18] F. Walter, et al., "Neuromorphic implementations of neurobiological learning algorithms for spiking neural networks," Neural Networks, vol. 72, pp. 152–167, 2015.

[19] M. M. S. Aly, et al., "Energy–Efficient Abundant–Data Computing: The N3XT 1000X," Computer, pp. 24–33, 2015.

유호영

• 2018년 2월 신한대학교 IT융합부 전자공학전공 학사
• 2018년 3월~현재 광운대학교 지능정보임베디드SW 공학과 석사과정

〈관심분야〉
SoC 설계 및 설계자동화(CAD), 임베디드 시스템 설계, 저전력 SoC 설계

김영민

• 1999년 8월 연세대학교 공과대학 전자공학과 학사
• 2003년 4월 미시건 대학교 EECS 석사
• 2007년 12월 미시건 대학교 EECS 박사
• 1999년 8월~2000년 10월 삼성전기 연구원
• 2007년 10월~2009년 7월 미국 Qualcomm 연구원
• 2009년 8월~2015년 2월 UNIST 조교수
• 2015년 3월~현재 광운대학교 컴퓨터정보공학부 부교수

〈관심분야〉
SoC 설계 및 설계자동화(CAD), 임베디드 시스템 설계, 차세대 반도체 소자 모델링 및 분석, 저전력 및 고성능 설계 방법론

확률 컴퓨팅 기반 딥뉴럴넷

Ⅰ. 서 론

딥러닝(deep learning)은 딥뉴럴넷(deep neural- net)과 같이 다수의[1] 계층으로 구성된 모델을 사용함으로써 기계학습(machine learning)의 성능[2]을 높이는 방법을 말한다[1]. 딥러닝은 최근에 인공지능(AI)을 급부상하게 만든 핵심 기술이며, 대표적인 예로 2012년도에 이미지 분류 챌린지에서 1위를 차지한 AlexNet[4]은 이제 우리가 전문가의 직관에 의한 알고리즘 설계의 패러다임에서, 많은 데이터를 이용한 학습의 패러다임으로 이동했음을 의미한다. 그 후로 딥러닝은 영상, 음성, 언어번역, 텍스트 분석, 게임, 자율주행 등 다양한 분야에서 활발히 응용되고 있다.

딥뉴럴넷의 동작은 가중치 파라미터들에 의해서 결정되는데, 이 가중치 파라미터들의 값을 결정하는 과정을 학습이라고 부른다. 딥뉴럴넷의 학습은 많은 연산량을 요구하는 작업으로서, 학습 성능을 높이기 위해서는 많은 데이터가 필수적인데, 이는 학습의 계산 복잡도를 증가시키는 또 하나의 요인이 된다. 바로 이러한 고성능 컴퓨팅 및 고용량 데이터에 대한 의존성이, 뉴럴 네트워크가 과거 수십 년 동안 연구되어 왔음에도 불구하고 비교적 최근에 와서야 폭발적인 성장을 이룰 수 있게 된 배경이다.

이러한 높은 계산 복잡도는, 딥뉴럴넷을 제한된 자원만을 사용하여 구현해야 하는 경우에, 다시 문제가 될 수 있다. 오늘날의 AI 응용들

이종은
UNIST
전기전자컴퓨터공학부

1) 딥뉴럴넷 이전의 기계학습 모델들은 대부분 2개 또는 많아야 3개의 계층(layer)으로 구성되어 있었으나[1], 딥뉴럴넷은 최소 4개 이상의 계층으로 구성되는 경향이 있으며, GoogleNet[2]이나 ResNet[3]과 같이 100개 이상의 계층을 가지는 경우도 드물지 않다.

2) 본 논문에서 학습 성능이라고 하면 학습에 따른 인식률을 의미한다. 빠르기의 의미로는 성능 대신 속도라는 용어를 사용한다.

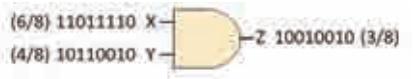
(예: 모바일 음성인식, 스마트 스피커)은 원격 서버를 사용함으로써 이 문제를 피해가고 있지만, 자율주행과 같이 빠른 추론(inference) 속도가 필요한 경우나 안정적인 네트워크를 사용할 수 없는 경우, 또는 프라이버시나 보안이 중요한 이슈가 되는 경우와 같이, 네트워크를 거치지 않는 인공지능 기술은 훨씬 더 다양한 응용을 가능하게 하다. 따라서 이러한 응용을 위한 저비용, 저전력 딥러닝 하드웨어 또는 SoC 설계는 매우 중요한 이슈이다.

저비용, 저전력 딥러닝 하드웨어 설계는 기존의 하드웨어-소프트웨어 통합설계 이상의 새로운 문제를 제기한다. 우선 딥뉴럴넷은 그 기능이 학습에 의해서 정의되기 때문에 알고리즘을 매우 많이 바꾸더라도——예를 들어, 뉴런의 개수, 뉴런 사이의 연결 및 심지어는 은닉층의 개수 등을 변경해도——학습을 통해서 원래의 기능과 정확도를 회복할 수 있는 경우가 흔히 있다. 따라서 기존의 하드웨어-소프트웨어 통합설계에서와는 달리 알고리즘 및 학습방법의 통합탐색이 매우 중요한 역할을 한다. 또한, 이런 알고리즘의 유연성 및 태스크 수준에서도 어느 정도의 오차를 허용하는 경우가 많은데, 이러한 점들은 하드웨어 설계에 있어서도 근사 계산(approximate computing)을 통한 비용과 에너지 효율성 향상의 여지를 많이 남겨 놓는다.

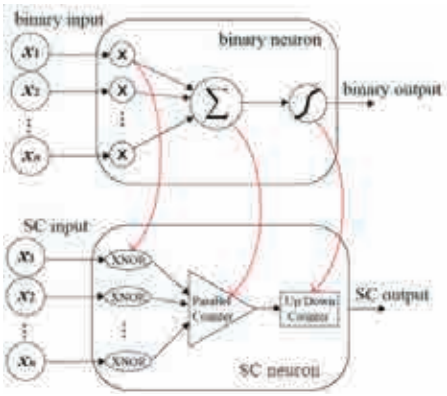
본 논문에서는 근사 계산의 일종으로 볼 수 있는 확률 컴퓨팅(stochastic computing)을 간단히 소개하고, 이에 기반을 둔 딥뉴럴넷 하드웨어 설계 기술을 소개한다. 근사 계산의 측면에서 확률 컴퓨팅의 가장 중요한 장점은 실행시간에 에너지와 정밀도의 변경이 오버헤드 없이 가능하다는 것으로서, 입력 데이터나 실행 환경 등에 따라서 정밀도와 에너지를 자유롭게 조절함으로써, 동일한 하드웨어라도 필요에 따라 저전력 또는 고성능 등의 자유로운 활용이 가능하는 점이다.

Ⅱ. 배경지식

집적회로가 출현하기 전인 1960년대부터 폰노이만 등은 소자의 불안정성을 극복하기 위한 대안의 하나로 확률 컴퓨팅을 고려하였다[5]. 확률 컴퓨팅의 기본적인 아이디어는 비트 1의 빈도수로 값을 표현하는 것으로서, 예를 들어 길이가 8인 비트스트림 "01101001"은 1이 4번 발생하므로 1의 확률은 0.5이며, 따라서 이 비트스트림이 표현하는 값은 0.5라고 보는 것이다. 따라서 확률 컴퓨팅에서는 모든 비트가 동일한 가중치를 가지며, 하나의 값에 대한 여러 가지 표현이 존재한다. 모든 비트가 동일한 가중치를 갖는다는 점은 확률 컴퓨팅이 기본적으로 각종 고장 및 노이즈에 강인한 특성을 갖게 해 주며, 또한 같은 이유로 확률 컴퓨팅을 일진수 표현(unary representation)이라고 부르기도 한다.



〈그림 1〉 AND 게이트를 이용한 확률 컴퓨팅 곱셈



〈그림 2〉 확률 컴퓨팅(SC) 기반 뉴런의 설계

확률컴퓨팅에서 비트스트림이 표현하는 값은 인코딩 방식에 따라 달라지는데, 가장 직관적인 방식은 비트스트림 X의 신호 확률(signal probability), 즉 X에서 1이 발생하는 확률을 비트스트림 X가 표현하는 값 x와 같다고 보는 것이다. 즉, x = P(X) = P(X=1). 이 경우, 〈그림 1〉과 같이 두 비트스트림 X, Y를 AND 게이트로 연결하면, 출력 비트스트림 Z가 표현하는 값 z는 Z의 신호 확률로부터 계산할 수 있다. 즉, z = P(Z) = P(X∧Y)인데, 만일 X와 Y가 서로 독립이거나 최소한 확률적인 상관관계가 없다면(uncorrelated), P(X∧Y) = P(X) P(Y) = xy와 같이 쓸 수 있기 때문에, 〈그림 1〉의 AND 게이트는 확률 컴퓨팅 곱셈 연산을 수행할 수 있음을 알 수 있다.

인코딩 방식을 달리하면 [0, 1] 구간이 아닌 다른 구간의 값도 확률 컴퓨팅에서 사용 가능하다. 예를 들어,

[−1, 1] 구간의 값을 확률 컴퓨팅으로 표현하기 위해서는 비트스트림 X의 신호 확률과 해당 비트스트림이 표현하는 실수값 x 사이의 매핑을 x = 2 P(X) − 1과 같이 정의할 수 있다. 이와 같이, 여러 가지 인코딩 방식이 가능한데, 그 중 전자와 같이 [0, 1] 구간을 사용하는 방식을 unipolar 인코딩, 후자와 같이 [−1, 1] 구간을 사용하는 방식을 bipolar 인코딩이라고 부른다. Bipolar 인코딩에서는 AND 게이트가 아닌 XNOR 게이트가 곱셈 연산을 수행한다.

덧셈은 곱셈과 달리 값의 범위를 변화시키기 때문에 약간의 어려움이 있지만, MUX나 OR 게이트를 사용하는 방법 등 여러 가지 방법이 있다[5−6]. 그 외에 확률 컴퓨팅 상에서의 다양한 연산 회로 및 디지털과 확률 컴퓨팅 사이의 변환 회로에 대해서는 [5]에 잘 정리되어 있다.

이와 같이 확률 컴퓨팅은 오류에 대한 높은 강인성과 덧셈, 곱셈 등의 연산을 아주 간단한 회로로 구현할 수 있다는 장점이 있으나, 기본적으로 확률 비트스트림을 사용하기 때문에 무작위성에 의한 오차가 존재할 수 있다. 또한 입출력이 디지털 신호로 주어지는 경우에는 디지털 신호를 확률 컴퓨팅 신호로 변환하는 오버헤드가 존재한다.

Ⅲ. 확률 컴퓨팅 기반 딥뉴럴넷

확률 컴퓨팅 딥뉴럴넷의 기본 아이디어는 〈그림 2〉와 같이 뉴런의 주요 연산들을 확률 컴퓨팅을 사용하여 수행하는 것이다. 확률 컴퓨팅 연산 소자들이 면적은 적게 차지하지만 긴 비트스트림을 처리해야 하기 때문에 여러 사이클이 걸릴 수 있다. 특히 연산의 정확도를 높이기 위해서 비트스트림을 길이를 높일수록 확률컴퓨팅의 효율성은 낮아지게 된다. 따라서 응용의 정확도를 떨어뜨리지 않으면서 구현의 효율성을 높이기 위한 방향으로 연구가 진행되어 왔다.

딥뉴럴넷 응용의 정확도는 대개 인식률로 측정된다. 뉴럴넷의 응용은 인식이나 분류 외에도 여러 가지가 있으나, 정확도를 계량화하기에는 이미지 분류(image classification) 같은 응용이 가장 편리하기 때문에, 확률 컴퓨팅 기반 뉴럴넷 연구도 이미지 분류 응용을 가장 많이 사용해왔다. 추후 절에서는 여러 가지 확률 컴퓨팅 뉴럴넷의 인식률을 비교하기 위하여, 부동 소수점 연산 버전의 뉴럴넷 대비 "인식률 저하"를 사용한다. 인식률은 0과 1사이의 수이며 (클수록 좋음), 인식률 저하는 Rfloat − RSC 로 정의되며 작을수록 좋다 (Rfloat은 부동 소수점 버전의 인식률, RSC는 확률 컴퓨팅 버전의 인식률). 부동 소수점 버전의 인식률은 데이터셋과 학습 모델 등 여러 가지 요건에 따라 달라지지만, MNIST 필기체[3] 숫자 인식의 경우에는 0.98 이상, CIFAR−10 데이터셋[4]의 경우에는 0.8 정도 등이며, 인식률 차이는 대개 0.01 이상만 되어도 중요한 것으로 간주된다.

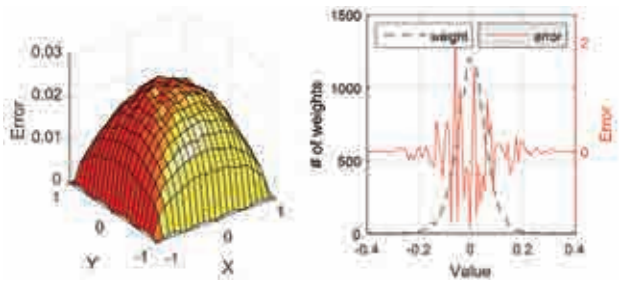
1. 초기의 확률 컴퓨팅 뉴럴넷 연구

딥러닝 이전에도 확률 컴퓨팅은 저비용 장점 때문에 뉴럴넷 구현에 적용되었다. 예를 들면, [7]에서는 노이즈가 포함된 기계판독용 숫자 및 특수부호를 포함한 13가지 종류의 7×9 폰트 이미지(MICR)를 판독하는 작은 신경회로망의 설계에 확률 컴퓨팅을 적용하고, 시뮬레이션을 통하여 부동 소수점과 비슷한 결과를 얻을 수 있음을 보였다. 동일한 응용을 사용한 보다 최근의 연구[8]에서는 비트스트림 길이를 변화시켜가면서 인식률을 비교하였는데, 확률 컴퓨팅을 은닉 뉴런에만 적용한 경우에는 비트스트림의 길이가 1K (=1024) 비트 정도 되어야 부동 소수점 정도의 인식률을 얻을 수 있는 반면, 모든 뉴런에 적용했을 때에는 40K 비트 정도의 길이가 필요하다는 결과를 발표하였다. 전체 뉴럴넷을 겨우 8만 개 정도의 논리요소를 갖는 FPGA 상에서 구현할 수 있다는 점에서 확률 컴퓨팅이 매력적이긴 하지만, 효율성 관점에서는 상당히 불리한 방식인 것으로 평가된다.

2. 확률 컴퓨팅 기반 딥뉴럴넷

DBN(Deep Belief Network)은 가장 일찍 알려진 딥뉴럴넷 중의 하나로서, [9]에서는 200개의 은닉 뉴런을 갖는 DBN을 확률 컴퓨팅 기법으로 구현하고, MNIST 필기체 숫자 인식에 적용하였다. 인식률은 부동소수점 버전의

3) http://yann.lecun.com/exdb/mnist/
4) https://www.cs.toronto.edu/~kriz/cifar.html



(a) (b)

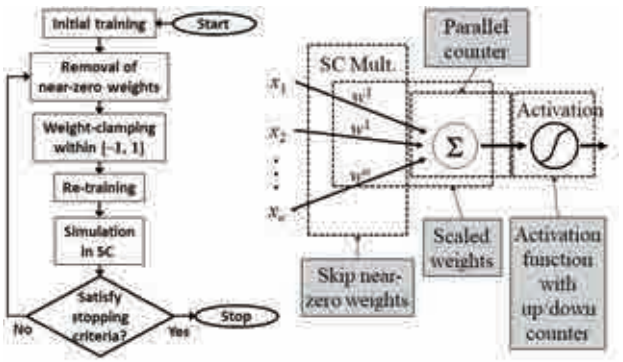
〈그림 3〉 (a) XNOR 곱셈기의 입력에 따른 평균 오차 분포 (1024비트의 경우), (b) 뉴럴넷 가중치 파라미터 값 분포 (검은색 점선) 및 확률 컴퓨팅으로 0을 곱했을 경우 발생하는 오차 (붉은색 실선)

인식률이 0.942인 데에 비해, 1024 비트 비트스트림에서 0.818로서 0.124의 인식률 저하를 보여주었다. 부동소수점 버전의 다소 낮은 인식률과는 별개로, 확률 컴퓨팅 버전의 인식률 저하도 상당히 큰 것으로 보인다.

3. 확률 컴퓨팅 딥뉴럴넷의 인식률 제고

이후 연구자들은 앞에서 언급한 인식률 저하 문제에 주목하여 확률 컴퓨팅의 정확도 개선을 위한 기법들을 제안하였다. 그 중 하나는 확률 컴퓨팅 곱셈기의 정확도가 입력 데이터에 따라 크게 좌우된다는 발견[10]에 기초한 것인데, 구체적으로 살펴보면 bipolar 인코딩에서 XNOR 게이트를 이용한 곱셈의 평균 오차와 입력값 사이의 관계에 〈그림 3(a)〉와 같이 일정한 패턴이 있음을 알 수 있다. 즉 입력값이 −1 또는 1에 가까운 경우에는 곱셈의 평균 오차가 최소화되는 데 반해 입력값이 0 근처에 있으면 오차가 최대화되는 것이다. 한편 딥뉴럴넷에서 곱셈기에 들어오는 입력의 분포를 보면, 가중치 파라미터는 〈그림 3(b)〉와 같이 대체로 0을 평균으로 하는 정규분포를 따르는 것을 볼 수 있다. 따라서 이를 확률 컴퓨팅으로 계산할 경우에 오차 또한 상당하게 된다.

이 문제를 해결하기 위하여 [10]에서는 0 근처의 값을 갖는 가중치 파라미터들을 아예 없앰으로써 계산량을 줄일 뿐만 아니라 확률 컴퓨팅의 오차를 줄이는 방법을 제안하였다. 이 방법의 효과를 극대화하기 위해서는 〈그림 4(a)〉와 같이 0 근처의 값을 갖는 가중치 파라미터들을 0으로 만들면서 재학습을 시키는 절차가 필요하다. 〈그림 4(b)〉는 확률 컴퓨팅으로 설계된 뉴런의 구조를 보여준다.



(a) (b)

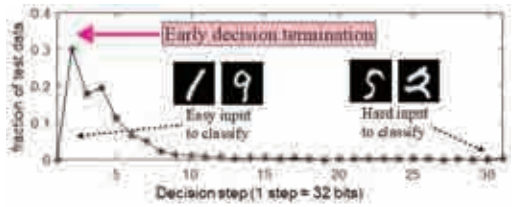
〈그림 4〉 (a) 확률 컴퓨팅 곱셈의 오차를 줄이기 위한 학습절차 (b) 확률 컴퓨팅 기반 뉴런의 구조[10]

그 외에도 확률 컴퓨팅의 제한된 데이터 범위를 최대한 활용하기 위한 스케일링 기법 등을 통하여 [10]에서는 MNIST 데이터셋에 대하여 1024비트 비트스트림 사용 시, 부동소수점 수준의 인식률(0.9759)을 얻을 수 있음을 보였다.

4. 확률 컴퓨팅의 유연한 정밀도 활용

정확도 향상 외에도 [10]의 저자들은 확률 컴퓨팅 기반 딥뉴럴넷을 위한 중요한 기법들을 제안하였는데, 그 중 하나가 연산의 정밀도/정확도를 실시간에 변경하는 것이다. 이는 확률 컴퓨팅 고유의 장점으로서, 이 점을 활용하면 뉴럴넷의 인식 결과가 어느 정도 정확도로 결정이 되는 대로 추론을 바로 중단함으로써 에너지를 절약할 수 있다. MNIST 데이터셋에 대하여 실험해 본 결과, [10]에서는 〈그림 5〉에서 볼 수 있는 것과 같이 실제로 대부분의 입력에 대해서 256 비트 이하면 충분하다는 것을 확인할 수 있었다. 이렇게 뉴럴넷의 추론을 일찍 끝내는 EDT(Early Decision Termination) 기법을 사용함으로써, 해당 연구자들은 인식률을 거의 떨어뜨리지 않으면서도 사이클 수를 EDT를 적용하지 않는 경우 대비 1/3~1/2 정도로 낮출 수 있음을 보였다[10–11].

[10]의 저자들은 확률 컴퓨팅의 에너지 효율성을 기존 디지털 구현과 비교하기 위해 200개의 입력을 갖는 뉴런을 설계 및 합성하였고 (TSMC 45nm 공정), 비교 대상으로 고정소수점 구현방식도 구현하였다. 확률 컴퓨팅 방법으로 512비트 에러율이 0.031로 충분히 사용할 만한 수



〈그림 5〉 입력 이미지에 따라서 32 스텝까지 가기 전에 올바른 추론을 끝낼 수 있는 경우가 많이 있다. 위의 그래프는 올바른 추론 결과를 위해 필요한 스텝 수와 해당 입력 이미지의 비율의 관계를 보여준다[10]

준이었기 때문에, 확률 컴퓨팅은 512비트를 사용하고[5] 고정소수점 방식은 9비트를 사용하였다.

비교 결과, 에너지 소모량에 있어서는, 확률컴퓨팅의 계산회로만 비교하면 고정소수점방식보다 확률컴퓨팅 방식이 더 적지만, 입력값과 가중치 파라미터들을 고정소수점 방식에서 확률컴퓨팅 방식으로 변환하는 SNG (Stochastic Number Generation) 오버헤드로 인해 고정소수점 방식에 비해서 2~3배까지 증가할 수 있다. 또한 에너지 측면에서 중요한 요소는 EDT로서, EDT를 활용할 경우 그렇지 않은 경우에 비해서 30% 정도의 에너지 감소가 있음을 보고하였다.

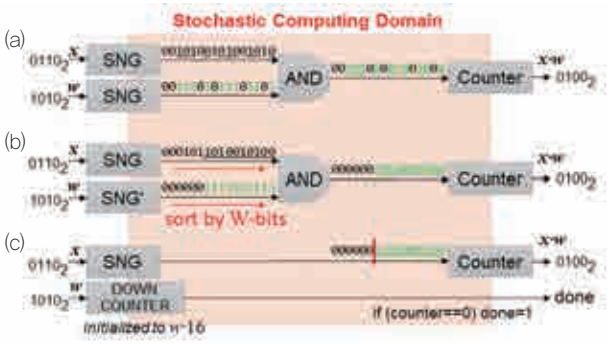
5. 디지털 입출력 뉴런을 위한 새로운 곱셈기

지금까지 살펴본 확률 컴퓨팅 딥뉴럴넷은 모든 뉴런을 하나의 칩 또는 FPGA에 구현하는 접근방식을 따른다. 따라서 비록 확률 컴퓨팅 연산 소자가 작기는 하지만, 이 방식은 임의의 큰 딥뉴럴넷을 지원하는 것도 불가능하고 또한 설계 후 딥뉴럴넷의 구조 변경은 지원하지 못한다는 문제가 있다.

최근의 연구[12-13]에서는 이러한 문제들을 해결하기 위하여 뉴런의 입출력은 기존 디지털을 사용하고 내부 계산만 확률 컴퓨팅으로 하는 접근 방식을 채용하였다. 이 방식의 또 다른 장점은 뉴런의 입출력이 기존 디지털과 완전히 동일한 방식이기 때문에, 검증이 용이하고 또한 기존 디지털 딥뉴럴넷의 메모리 구조를 그대로 사용할 수 있다는 것이다.

하지만 이 방식의 가장 큰 단점은 각 뉴런마다 입력을

5) 확률 컴퓨팅에서는 512비트 처리의 효율성을 높이기 위하여 32비트 내지 64비트를 동시에 처리하는 비트병렬성을 활용하였다.



〈그림 6〉 (a) 기존 확률 컴퓨팅 곱셈 방법, (b) AND 게이트에 들어가는 비트스트림의 순서를 변경하여도 결과는 동일,
(c) 16 비트 대신 16w 비트만 계산함으로써 효율성을 제고한 곱셈 기법
(x = 6/16, w = 10/16, x · w = 3.75/16)

디지털에서 확률 비트스트림으로 변환을 해야 한다는 점인데, 앞에서 살펴본 것처럼 SNG 오버헤드가 상당히 크기 때문에 [13]에서는 이 SNG 오버헤드를 줄이기 위한 새로운 곱셈 기법을 제안하였다. 이 기법은 SNG 오버헤드를 줄일 뿐만 아니라 곱셈에 걸리는 시간을 대폭 줄일 수 있으며, 또한 기존 확률 컴퓨팅에 비해서 훨씬 정확한 결과를 낼 수 있다.

〈그림 6〉은 새로운 확률 컴퓨팅 곱셈 기법의 동작 원리를 보여준다. 〈그림 6(a)〉는 기존 곱셈 방식이고 unipolar 인코딩을 사용하기 때문에 AND 게이트가 곱셈을 수행한다. 새로운 곱셈 방식은 (c)인데, 이를 이해하기 위해 먼저 (b)의 경우를 생각해보자. 〈그림 6(b)〉는 (a)에서 두 입력 비트스트림의 비트 순서만 바꾸어준 것인데, 구체적으로는 두 번째 입력인 w의 비트스트림에서 모든 1이 먼저 AND 게이트에 들어간 후에 0이 사용되도록 한 것이고 동시에 대응하는 x의 비트들도 함께 순서를 바꾼 것이다. 입력 x와 w의 비트들은 함께 순서를 바꾸었기 때문에 출력의 비트스트림은 (a)의 경우와 순서만 다를 뿐 1과 0의 개수는 동일하다. 따라서 출력 비트스트림을 디지털로 변환한 결과를 보면 (a)와 (b)는 항상 동일하게 된다.

이제 (b)의 계산방식을 잘 보면 w의 비트스트림은 w개의 1을 출력하고 나머지는 0으로 채워 놓은 것이라는 것을 알 수 있다. 그리고 w 비트가 0인 경우에는 AND의 결과도 항상 0이기 때문에 굳이 연산을 할 필요가 없다. 따라서 (c)와 같이 w의 SNG를 다운카운터로 대체하여도 결과에는 차이가 없게 된다. 하지만 이렇게 함으로써 SNG

를 하나 줄이고, 비트스트림의 길이보다 훨씬 빨리 연산을 종료할 수 있게 되었다는 장점이 있다. 또한 곱셈 결과도 보다 정확해졌는데, 기존의 확률 컴퓨팅에서는 곱셈 정확도가 두 입력 비트스트림의 상관관계(correlation)에 영향을 받지만, 새로운 곱셈기는 그렇지 않기 때문이다.

이에서 한 발 더 나아가 [13]에서는 w값에 상관없이 최적의 곱셈 결과를 얻을 수 있으면서도 복잡도가 낮은 SNG 알고리즘을 제안하였고, 이를 통해 기존 확률 컴퓨팅 곱셈에 비해서 매우 정확한 곱셈기를 얻을 수 있었다(1024비트에서 표준편차를 기존 대비 약 1/14배 수준으로 감소).

새로운 확률 컴퓨팅 곱셈기를 딥뉴럴넷에 적용하기 위해서는 두 가지의 이슈를 해결해야 한다. 하나는 1 비트씩 처리하는 비트시리얼 구현은 매우 비효율적이기 때문에[12] 비트병렬성을 지원해야 한다는 것이며, 두 번째는 딥뉴럴넷에서처럼 벡터/행렬 단위의 연산을 지원하기 위해서는 새로운 곱셈기의 가변 사이클 수 문제를 해결해야 한다. 첫 번째 이슈는 기본적으로 입력 x의 SNG 생성기를 비트병렬화하는 것으로서, 비트병렬화 버전이 약간 복잡한 로직을 사용하긴 하지만 사이클 수를 훨씬 줄일 수 있기 때문에 큰 딥뉴럴넷에서는 보다 더 효율적이게 된다. 두 번째로, 가변 사이클 수 문제는 여러 개의 뉴런 사이에 가중치 파라미터를 공유함으로써 해결 가능하다.

이러한 기법들을 통하여 [13]은 MNIST 뿐만 아니라 CIFAR-10에 대해서도 확률 컴퓨팅 기법이 기존 디지털 고정 소수점 구현과 동일한 정확도를 얻으면서도 area-delay product나 에너지 측면에서는 더 효율적일 수 있음을 보였다.

6. 대규모 딥뉴럴넷으로의 확장

지금까지 살펴본 연구는 확률 컴퓨팅 기반 딥뉴럴넷을 MNIST나 CIFAR-10 등 비교적 작은 데이터셋에 적용한 것이다. 이에 비해 AlexNet[4], VGG-net[14], GoogleNet[2] 등은 훨씬 크고 어려운 ImageNet 데이터셋을 사용하고, 네트워크의 크기나 계산량도 훨씬 더 높다.

[15]에서는 앞에서 소개한 새로운 곱셈기를 더 개량하고 새로운 최적화 기법을 도입함으로써 AlexNet이나 GoogleNet 등 큰 딥뉴럴넷도 정확도나 효율성을 잃지 않으면서 확률 컴퓨팅 방식으로 구현할 수 있음을 보였다.

한편 딥뉴럴넷 하드웨어의 중요한 이슈 중의 하나는 어떻게 하나의 하드웨어로 서로 다른 뉴럴넷들을 효과적으로 지원할 수 있는가 인데, 이것이 문제가 되는 이유는 뉴럴넷마다 요구 정밀도가 다를 수 있기 때문이다. 예를 들어, MNIST는 고정 소수점 기준 5비트 정도면 충분하지만 CIFAR-10은 8~9 비트 정밀도가 필요하다[13]. 뿐만 아니라, 하나의 뉴럴넷도 각 레이어에 따라서 요구 정밀도가 다를 수 있다. 이러한 점에서 확률 컴퓨팅의 유연한 정밀도는 큰 장점이 될 수 있다. [15]는 새로운 확률 컴퓨팅 곱셈 기법[13]을 확장하여 실행시간에 정밀도를 변경할 수 있게 하였다. 이러한 동적 정밀도 조절(dynamic precision scaling)을 활용한 효율성 향상은 마치 동적 전압 조절(dynamic voltage scaling)이 응용의 워크로드에 따라 회로의 동작전압을 바꿈으로써 에너지 효율성을 향상시키는 것과 같은 원리이다. [15]에서 동적 정밀도 조절 하드웨어는 제안하였지만, 레이어별 최적의 정밀도를 찾는 방법 등 동적 정밀도 조절은 아직 많은 연구가 필요한 분야이다.

7. 비교 및 정리

지금까지 발표된 주요 확률 컴퓨팅 뉴럴넷들을 〈표 1〉에 비교하였다. 지면 제한으로 모든 확률 컴퓨팅 뉴럴넷을 담지는 못하였고, 뉴럴넷들 간의 비교도 사용된 응용 및 인식률 등으로만 한정하였다. 이 표에서 한 가지 중요한 부분은 뉴럴넷 아키텍처 부분인데, 크게 보면 모든 뉴런을 별개의 하드웨어를 사용하여 완전히 병렬적으로 구현하는 fully parallel 아키텍처가 있고, 그와 반대로 일정 크기의 뉴런 어레이를 구현하고(이를 tile이라고 칭함), 이 tile을 반복 실행시킴으로써 임의의 크기의 뉴럴넷을 다 실행할 수 있게 하는 아키텍처가 존재한다. 후자의 방법은 tile의 실행결과를 메모리에 저장했다가 다른 tile 실행시에 이전 tile의 결과를 메모리에서 다시 가져오는 등 메모리 접근 오버헤드가 존재할 수 있으나 지원 가능한 뉴럴넷의 크기에 제한이 없다는 장점을 가진다. 전자의 방법은 설계시에 뉴럴넷의 구조를 확정해야 한다는

〈표 1〉 확률 컴퓨팅 뉴럴넷들의 인식률 비교

아키텍처	출처	데이터셋(뉴럴넷), 인식률 저하, 비트스트림 길이	비고
Fully parallel	[8]	MICR 폰트이미지 : 0.013 (10K bit)	Radial basis function 뉴럴넷
	[9]	MNIST : 0.247 (2^9b), 0.124 (2^10b), 0.018 (2^11b)	Deep belief network (DBN) 기반
	[10]	MNIST : 0.0018 (2^10b)	Fully-connected 레이어만 존재
	[11]	MNIST : 〈 0.01 (2^10b) CIFAR-10 CNN : 〈 0.01 (2^10b)	Max-pooling 사용
	[6]	MNIST : 0.0174 (2^8b), 0.0168 (2^9b)	Max-pooling 사용
Tile 기반	[12]	MNIST : 〈 0.01 (2^6b)	Convolution layer만 가속
	[13]	MNIST : 〈 0.01 (2^5b) CIFAR-10 CNN : 〈 0.01 (2^9b)	Convolution layer만 가속, 새로운 SC 곱셈기[13] 사용
	[15]	MNIST : 0.0078 (2^5b) AlexNet (top-5) : 0.0071 (레이어별로 다름, 2^8~2^10b) VGG_S (top-5) : 0.0094 (레이어별로 다름, 2^9~2^10b) GoogleNet (top-5) : 0.0082 (2^13b)	Convolution layer만 가속, 새로운 SC 곱셈기[13]을 개량하여 사용

단점이 있지만, 주어진 뉴럴넷에 대해서는 보다 더 에너지 효율적인 하드웨어를 생성할 수 있는 방법일 수 있다.

Tile 기반 아키텍처의 경우에는 잦은 메모리 접근 때문에 뉴런 또는 tile의 입출력을 대개 기존 디지털 방식으로 한다. 그렇지 않을 경우, 확률 컴퓨팅 비트스트림으로 메모리에 저장하는 것은 매우 비효율적이기 때문이다. 이 점은 또한 뉴럴넷의 일부는 확률 컴퓨팅으로 구현하고 다른 일부는 기존 디지털 방식으로 구현하는 하이브리드 방식을 가능케 한다. 예를 들면, 연산량이 많은 convolution 레이어는 확률 컴퓨팅으로 구현하고 최종 분류를 담당하는 fully connected 레이어는 기존 디지털 방식으로 구현함으로써 인식률과 효율성을 모두 높이는 것이 가능하다[12].

Ⅳ. 결론 및 향후 연구

딥뉴럴넷이 점점 더 많은 응용에 적용됨에 따라서 하드웨어 딥뉴럴넷에 대한 관심과 수요도 더욱 증가하고 있다. 딥뉴럴넷의 하드웨어 설계는 기존의 하드웨어-소프트웨어 통합 설계보다 훨씬 더 알고리즘에 대한 이해와 알고리즘 및 학습방법에 대한 최적화를 필요로 한다는 점에서 분명한 차이가 있다고 할 수 있다.

본 논문에서는 확률 컴퓨팅 기반의 딥뉴럴넷 연구 동향을 살펴보았는데, 확률 컴퓨팅은 하드웨어 오류에 보다 강인하다는 장점 외에도 실행시간에 에너지와 결과 품질을 쉽게 변경하게 함으로써, 상황에 따른 다양한 활용이 가능하다는 장점이 있다. 한편, 확률 컴퓨팅 등의 근사 계산 기법들은 ReRAM (Resistive RAM) 등과 같이 안정성이 낮은 신종 메모리 기반의 연산을 이용한 딥뉴럴넷을 설계하는 데에 필요한 이론적인 틀을 제공할 수도 있는데, 이는 더 많은 연구가 필요한 부분이다.

한편, 현재까지의 딥뉴럴넷 하드웨어 연구는 대부분 AlexNet, VGG-net 등 몇 가지 매우 잘 알려진 뉴럴넷에만 치중하고 있는데, 딥러닝 분야의 발전 속도가 매우 빠른 만큼 MobileNet이나 ShuffleNet 등 모바일 환경을 타겟으로 개발된 보다 효율적인 뉴럴넷들도 사용할 필요가 있고, 또 이들 새로운 뉴럴넷을 잘 가속화할 수 있는 하드웨어에 대한 연구도 매우 필요하다.

참 고 문 헌

[1] Y. Bengio, "Learning Deep Architectures for AI," Foundations and Trends in Machine Learning, 2(1):1-127, Now Publishers Inc., Hanover, MA, USA, Jauary 2009.

[2] C. Szegedy et al., "Going Deeper with Convolutions," in Computer Vision and Pattern Recognition (CVPR), 2015.

[3] K. He et al., "Deep Residual Learning for Image Recognition," in Computer Vision and Pattern Recognition (CVPR), 2016.

[4] A. Krizhevsky et al., "ImageNet Classification with Deep Convolutional Neural Networks," in Advances in Neural Information Processing Systems (NIPS), 2012.

[5] B. Brown and H. Card, "Stochastic neural computation. I. Computational elements," in IEEE Transactions on Computers, 50(9):891–905, 2001.

[6] A. Ren et al., "SC-DCNN: Highly-scalable deep convolutional neural network using stochastic computing," in International Conference on Architectural Support for Programming Languages and Operating Systems (ASPLOS), 2017.

[7] B. Brown and H. Card, "Stochastic neural computation. II. Soft competitive learning," in IEEE Transactions on Computers, 50(9):906–920, 2001.

[8] Y. Ji et al., "A hardware Implementation of a radial basis function neural network using stochastic logic," in Design, Automation & Test in Europe Conference & Exhibition (DATE), 2015.

[9] K. Sanni et al., "FPGA implementation of a Deep Belief Network architecture for character recognition using stochastic computation," in Annual Conference on Information Sciences and Systems (CISS), 2015.

[10] K. Kim et al., "Dynamic Energy-accuracy Trade-off Using Stochastic Computing in Deep Neural Networks," in Design Automation Conference (DAC), 2016.

[11] J. Yu et al., "Accurate and Efficient Stochastic Computing Hardware for Convolutional Neural Networks," in IEEE International Conference on Computer Design (ICCD), 2017.

[12] H. Sim et al., "Scalable stochastic-computing accelerator for convolutional neural networks," in Asia and South Pacific Design Automation Conference (ASP-DAC), 2017.

[13] H. Sim et al., "A New Stochastic Computing Multiplier with Application to Deep Convolutional Neural Networks," in Design Automation Conference (DAC), 2017.

[14] K. Simonyan and A. Zisserman, "Very Deep Convolutional Networks for Large-Scale Image Recognition," arXiv technical report, 2014.

[15] H. Sim et al., "DPS: Dynamic Precision Scaling for Stochastic Computing-based Deep Neural Networks," in Design Automation Conference (DAC), 2018.

이종은

- 1997년 2월 서울대학교 전기공학부 학사
- 1999년 2월 서울대학교 전기공학부 석사
- 2004년 2월 서울대학교 전기컴퓨터공학부 박사
- 2004년 1월~2007년 10월 삼성전자 SoC 연구소 책임연구원
- 2007년 11월~2009년 8월 미국 아리조나주립대(ASU) 박사후연구원
- 2009년 8월~현재 UNIST 교수 (현 부교수)

〈관심분야〉
Reconfigurable architectures, Compiler, Deep learning accelerators, Stochastic computing

추론 전용 저항성 메모리 기반 뉴럴 네트워크 가속기 하드웨어 연구 동향

김 재 준
POSTECH
창의IT융합공학과

김 형 준
POSTECH
창의IT융합공학과

김 태 수
POSTECH
창의IT융합공학과

김 율 화
POSTECH
창의IT융합공학과

김 진 석
POSTECH
창의IT융합공학과

I. 서 론

많은 양의 데이터의 학습을 통해 화상인식, 기계번역, 자율주행 등 많은 분야에서 기존 인식 기술의 성능을 뛰어넘는 결과를 보여주는 딥러닝 (deep learning) 기술의 발전이 사회 전 분야에 걸쳐 매우 높은 관심을 끌고 있다.

현재 이루어지고 있는 딥러닝 관련 연구는 많은 경우 새로운 알고리즘이나 뉴럴 네트워크 구조를 개발하여 인식률을 올리는 방향으로 노력이 기울여지고 있다. 반면, 처리하고자 하는 작업의 난이도가 높아질수록 더 많은 수의 층을 갖는 깊은 뉴럴 네트워크 (deep neural network)가 요구되고, 그에 따라 요구되는 메모리의 용량과 컴퓨팅 파워도 기하급수적으로 늘어 가고 있다.

한편, 전통적인 컴퓨터 응용분야들과는 달리 deep neural network 을 위한 연산은 많은 수의 벡터-행렬 곱셈 (vector-matrix multiplication)으로 주로 이루어져 있다. 따라서, 메모리와 연산 장치 사이의 통신이 빈번이 일어나는 Von-Neumann 방식에 기반한 기존의 범용 CPU(central processing unit)는 deep neural network 계산 속도나 에너지 소모 측면에서 효율적이지 않은 한계를 보이게 된다.

이에 따라 CPU 보다 훨씬 많은 수의 작은 코어 (core)들을 집적하여 병렬 연산을 수행하는 GPU (graphic processing unit) 가 각광을 받으며 딥러닝 학습과 추론에 활발히 사용되고 있다. 하지만 이러한 GPU 역시 딥러닝 이외에 여러 용도로 쓰이는 범용성을 가지고 있기 때문에 최근 들어서는 딥러닝에 특화된 전용 뉴럴 네트워크 프로세서들에 대한 관심이 높아지고 있다. 예전처럼 범용 과학/공학 연산이 컴퓨팅 응용의 대부분을 차지할 때에는 이렇게 특정 응용에 특화된 전용 프로세서의 효용이 매우 제한적일 수밖에 없었으나 점차 대규모 데이터를 기반으로

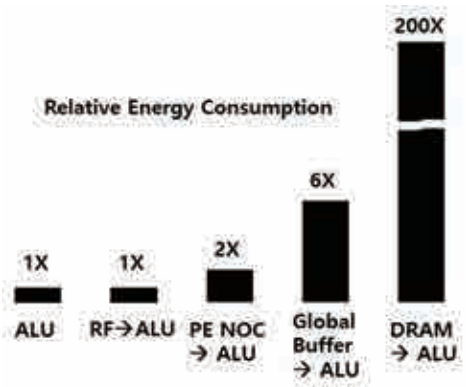
인식에 관한 작업을 다루는 응용이 전체 컴퓨팅에서 중요한 비중을 차지하게 되면서 이러한 전용 컴퓨팅 디바이스의 효용은 점점 더 증가할 것으로 예상된다.

Google에서 발표한 Tensor Processing Unit (TPU)[1], MIT에서 발표한 Eyeriss[2] 등 최근 발표된 뉴럴 네트워크 프로세싱 유닛 (NPU: neural network processing unit)들은 일반적으로 많은 수의 processing element (PE)들을 systolic array 형태로 배열하여 연산의 병렬화를 극대화하고 데이터의 효율적인 움직임을 추구하는 특징을 가지고 있다.

많은 양의 vector-matrix multiplication을 중심으로 이루어진 Deep Neural Network의 연산 특성 탓에 전체 연산 처리 속도와 에너지 소모는 〈그림 1〉에서 보이듯이 주메모리인 DRAM 과 PE 간의 통신에 의해 많은 부분이 결정되는 경향이 있다. 따라서 전체적인 메모리 필요량과 통신량을 줄이기 위해 정확도를 해치지 않는 범위에서 뉴럴 네트워크의 시냅스나 뉴론의 개수를 줄이는 Pruning 방법과 시냅틱 웨이트나 activation 값의 비트수를 줄이는 Quantization 방법에 대한 연구가 활발히 이루어지고 있다[3-6].

또한 3차원 집적 기술을 이용하여 메모리 통신 대역폭을 크게 늘린 High Bandwidth DRAM (HBM)을 GPU 또는 NPU와 결합하여 deep neural network 연산 속도를 증가시키는 경향도 증가하고 있다[7].

NPU 설계시에는 DRAM에서 PE 로 전달된 데이터들을 가능한 많이 재사용하여 메모리와의 통신을 줄이는



〈그림 1〉 뉴럴 네트워크 가속기 내부에서의 데이터 이동을 위한 상대적인 에너지 소모량 비교[2]

방법에 대한 연구가 활발히 진행되고 있으며 이는 특히 convolutional neural network (CNN) 연산에 특화된 NPU에서 중요성을 더한다[2].

이렇듯 다양한 방향에서 메모리와 프로세싱 유닛간의 통신에서 오는 오버헤드를 줄이기 위한 연구가 진행되고 있는 한편, 메모리 자체를 뉴럴 네트워크 연산기로 사용하여 메모리에서 데이터를 읽어 오는 오버헤드를 아예 없애는 in-memory computing에 대한 관심도 높아지고 있다.

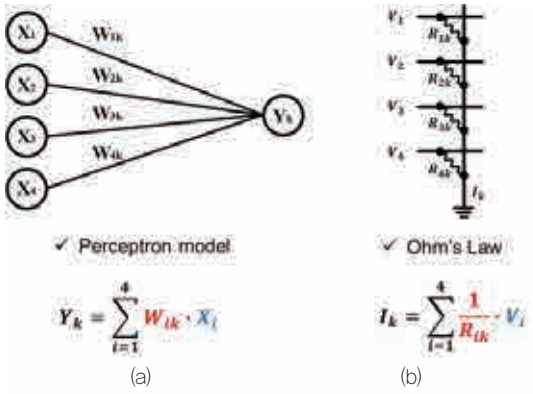
특히 vector-matrix multiplication을 위해 여러 clock cycle에 걸쳐 연산을 수행해야 하는 일반적인 뉴럴 네트워크 가속기 구조에 비해, 저항성 메모리를 사용할 경우 vector-matrix multiplication 이 한번의 메모리 읽기를 통해 해결될 수 있는 가능성이 있어 저항성 메모리 기반 in-memory computing에 대한 관심이 더해지고 있다[8-9].

이 글에서는 현재까지 학계에서 보고된 저항성 메모리 기반 뉴럴 네트워크 가속기 하드웨어의 설계 원리에 대해 간략히 정리하고 구현에 있어 생기는 여러 기술적 이슈들과 그에 대한 해결 방안 등을 소개하고자 한다.

Ⅱ. 저항성 메모리 기반 뉴럴 네트워크 가속기 하드웨어 개요

〈그림 2-(a)〉 에서와 같이 뉴럴 네트워크를 구성하는 기본 연산중 많은 부분은 여러 개의 입력 값과 각각의 입력과 해당 출력 뉴론을 연결하는 시냅스 웨이트들이 서로 곱해져 그것들의 합이 하나의 출력 뉴론의 입력으로 형성되는 weighted sum의 형태로 구성된다. 흥미롭게도 〈그림 2-(b)〉 에서 보듯이 그러한 weighted sum은 저항성 메모리 어레이의 비트 라인 하나를 읽어내는 동작에 대응이 될 수 있다.

좀 더 자세히 저항성 메모리에서의 weighted sum 계산 동작 원리를 살펴보면 다음과 같다. 먼저, 각 word line의 전압 V_i 는 뉴럴 네트워크에서의 입력 X_i 에 해당한다. 그리고 각 메모리 셀의 저항값의 역수인 전도도 (conductance) 값은 뉴럴 네트워크에서의 시냅틱 웨이트



〈그림 2〉 뉴럴 네트워크에서의 병렬 matrix-vector multiplication을 수행하는 저항성 메모리 동작 예시[10]

값에 대응한다. 실제 conductance에는 최대값과 최소값이 존재하므로 웨이트를 conductance에 대응시킬 때에는 그 값들을 고려하여 적용한다. 그 결과, 뉴럴 네트워크 안의 하나의 입력과 대응하는 웨이트의 곱셈값은 하나의 word line 전압이 대응하는 cell 저항 양단에 인가되었을 때 해당 cell을 통해 흐르는 전류의 값에 대응하게 된다. 읽기 동작 한 번에 하나의 word line에만 전압이 인가되는 일반적인 메모리 동작과는 달리 뉴럴 네트워크 동작 시에는 동시에 여러 개의 word line에 전압이 인가되는 특징이 있으며 이때 하나의 bit line에 흐르는 전류는 각각의 word line 전압 값과 해당 cell 의 conductance값에 따라 형성되는 전류들의 합이 된다. 따라서 bit line에 흐르는 전류는 앞서 보여진 뉴럴 네트워크의 weighted sum에 대응하게 된다.

뉴럴 네트워크 표현에 있어 저항성 메모리의 이러한 흥미로운 동작 원리와 메모리와 외부 프로세서간의 통신의 필요성을 제거할 수 있다는 장점으로 인해 저항성 메모리 기반 뉴럴 네트워크 가속기에 대한 관심이 매우 높아지고 있는 반면, 현재까지는 대규모 어레이에 기반한 시스템 구현에 대한 연구 보다는 단위 소자나 작은 규모의 단위 회로에 대한 연구가 주로 이루어져 오고 있는 상황이다. 따라서 향후에는 대규모 뉴럴 네트워크를 표현하는 시스템에 대한 연구의 필요성이 커지고 있다.

저자들이 속한 POSTECH 연구팀 역시 저항성 메모리 기반 하드웨어에 대규모 뉴럴 네트워크를 구현할 때 생겨날 수 있는 문제점들을 파악하고 그것을 극복하는 기술의 연구를 진행해 오고 있다.

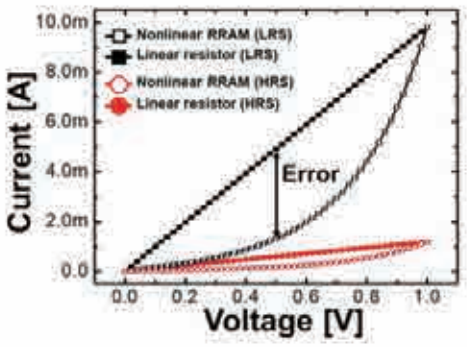
다음 장에서는 저항성 메모리 기반 뉴럴 네트워크 구현 시 하드웨어 구성 요소 (소자, 회로, 시스템) 의 제한조건 때문에 생겨날 수 있는 문제점 중 몇 가지에 대해 소개하고 그 해결책에 대해 논하고자 한다.

참고로, 저항성 메모리 기반 뉴럴 네트워크 관련 연구 중 가장 활발히 진행되고 있는 분야중 하나가 실제 뇌의 뉴런이나 시냅스 동작 특성과 유사한 새로운 소자 구조나 재료 개발 연구이다. 이 경우 많은 결과들이 단위 소자 레벨의 특성에 초점을 맞춰 보고되고 있으며 이러한 방향 또한 계속해서 발전해나갈 것으로 예상된다. 이 글에서는 뇌의 특성을 모방한 뉴론 이나 시냅스 소자 개발, 또는 그것을 이용한 뉴럴 네트워크 (예: spiking neural network) 에 대한 의논은 하지 않고 역전파 (backpropagation)을 이용한 학습에 의존하는 deep neural network 에 대해서만 논의하기로 한다.

Ⅲ. 저항성 메모리 기반 뉴럴 네트워크 가속기 설계 시 고려 요소

1. 저항성 메모리의 비선형 전류/전압 특성

앞서 〈그림 2〉에서 보였듯이 저항성 메모리 기반 뉴럴 네트워크 가속기 구조는 뉴럴 네트워크 연산의 핵심인 vector-matrix multiplication을 여러 메모리 셀들을 통해 흐르는 전류를 합하는 동작으로 모사할 수 있다는 장점이 있다. 한편, 이러한 해석에는 메모리 셀의 저항 특성이 선형이라는 가정이 깔려 있다. 그러나 일반적으로 실제 저항성 메모리의 전압-전류 특성은 지수함수에 가까운 비선형성을 갖는 경향이 있다(〈그림 3〉). 이러한 저항의 비선형적 특성은 vector-matrix multiplication 결과의 정확도를 떨어트리게 된다. 〈그림 3〉에서와 같이 메모리 소자가 지수함수 특성을 갖는다고 가정했을 때, 뉴럴 네트워크 입력에 대응되어 메모리 셀에 인가된 입력 전압에 의해 셀을 통해 흐르는 실제 전류는 원래 뉴럴 네트워크에서 입력과 웨이트의 곱의 값에 대응하는 전류보다 더 작은 값을 갖게 된다. 비선형성이 클수록 의도했던 전류와 실제 전류의 차이가 점점 더 커지게 된다.



〈그림 3〉 동일한 입력 전압에 대한 선형 저항과 비선형 저항의 전류 출력 비교[10]

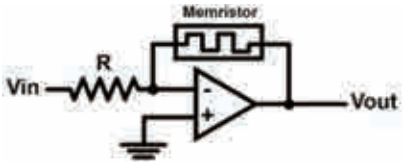
이러한 현상은 소프트웨어적으로 학습시켜 결정된 시냅틱 웨이트 값으로 표현되는 뉴럴 네트워크의 추론 결과가 의도한 값과 다르게 나오는 결과를 야기할 수 있어 가속기 칩 외부의 서버를 사용하여 학습 후 저항성 메모리 기반 가속기로 추론을 하는 응용에서 정확도 하락의 문제를 야기할 수 있다. 이에 본 연구팀은 두 가지 방향에서 해당 문제를 푸는 연구를 진행하였다[10-11]. 첫 번째 방향은 저항성 메모리의 특성을 고려한 입출력 회로를 개발하는 것이고, 두 번째 방향은 반대로, 그러한 비선형성을 고려한 뉴럴 네트워크를 개발하는 것이다. 다음 두 장에서는 각각의 방법에 대해 설명하기로 한다.

2. 비선형 전류/전압 특성을 보상하기 위한 회로 설계 방법

이 장에서는 저항성 메모리의 비선형성 특성을 고려한 입출력 회로를 고안하여 전체적인 입출력 특성을 본래 뉴럴 네트워크가 가지는 선형 특성을 가지게 하는 방법을 소개 한다[10].

앞서 언급한대로 기존의 방법은 네트워크의 뉴론 입력 값을 입력 전압에 선형적으로 매핑하며, 이 경우 메모리 셀의 비선형 전류-전압 특성에 의해 연산결과의 왜곡이 생기게 된다.

만약 비선형적인 소자의 전류-전압 특성을 표현하는 수학적 모델에서 웨이트와 입력 전압 항이 서로 독립적으로 표현될 수 있다면, 해당 전류-전압 모델의 역함수를 입력 전압 생성에 적용하여 전체적인 입출력 특성을 선형으로 복원할 수 있게 된다.



〈그림 4〉 비선형 저항에 의한 오차를 보정하기 위한 역함수 발생 회로[10]

예를 들어,

$$I = G\sinh(BV) \tag{1}$$

(G: Weight, B: 상수, V: 입력 전압)

와 같이 소자의 전류-전압 특성이 표현되는 경우 sinh 함수의 역함수인 arcsinh 함수를 입력 전압에 미리 적용하여 메모리 셀 양단에 적용한다면 실제 비트 라인에 나오는 전류는 우리가 원래 원하던 값과 같게 되고 전체 시스템의 전류-전압 특성은 식 2에서 보이는 결과와 같이 선형이 된다.

$$\begin{aligned} I &= G\sinh(BV') \\ &= G\sinh\left(B\frac{1}{B}\sinh^{-1}\left(\frac{G'}{G}V\right)\right) \\ &= G\frac{G'}{G}V = G'V \end{aligned} \tag{2}$$

이러한 전류-전압 모델의 역함수를 실제 회로로 구현하는 하나의 예로 다음과 같은 설계 방법을 사용할 수 있다.

〈그림 4〉에서 보이듯이 전류-전압 변환 회로 구조에서 일반적으로 사용되는 선형 피드백 저항을 메모리 셀로 대체하면 최종 출력 전압 값이 우리가 가지길 원하는 전류를 생성하는 값이 되게 됨에 따라 전체 시스템의 전류-전압 특성은 선형이 되게 된다.

이러한 회로를 사용한다면 소자 특성의 불일치에서 오는 variation의 영향을 제외하고는 소프트웨어적으로 얻는 vector-matrix multiplication의 결과값과 일치하는 값을 얻을 수 있게 된다.

MNIST, CiFAR-10, ImageNet 을 사용하여 convolutional neural network (CNN) 시뮬레이션을 한 결과 일반적인 전류-전압 변환 회로를 사용한 경우에 비해 제안된 회로를 사용한 경우에 높은 추론 정확도를 얻을 수 있음을 확인 할 수 있었다[10].

3. 저항성 메모리에 특화된 뉴럴 네트워크

앞장에서는 주어진 뉴럴 네트워크를 비선형 저항 특성을 갖는 저항성 메모리 어레이에 매핑하기 위해 특화된 회로를 설계하는 연구방향에 대해서 의논하였다. 이렇게 주어진 뉴럴 네트워크에 대해 회로를 최적화하는 방법과는 반대로 주어진 하드웨어의 조건에 맞게 뉴럴 네트워크 자체를 재구성하는 것도 가능하다면 실제 회로나 시스템을 설계할 때의 부담이 줄어드는 장점이 생길 수 있다.

따라서, 이 장에서는 본 연구팀이 고안한 저항성 메모리의 비선형 전항 특성을 고려한 뉴럴 네트워크 구현 방법론을 소개하고자 한다[11].

잘 알려진 바와 같이 뉴럴 네트워크 연산에 쓰이는 일반적인 퍼셉트론 (perceptron) 모델은 식 (3) 과 같이 뉴론 입력과 웨이트 들의 weighted sum을 사용한다.

$$y_k = \sum_{i=1}^{n} W_{ik} X_i \tag{3}$$

관습적으로 weighted sum이 perceptron 모델에 사용되어 왔으나 반드시 이러한 연산 형태를 띄어야한다는 이론적인 근거는 분명치 않으며, 저자들은 이러한 연산이 범용 CPU나 GPU를 사용 시 단순 곱셈과 덧셈으로 표현되어 가장 처리가 용이하기 때문에 일반적으로 많이 사용되는 측면이 있는 것으로 생각한다.

이러한 생각에 근거해 우리는 weighted sum 대신에 식 (4) 와 같이 메모리 셀의 전류-전압 특성 자체를 퍼셉트론의 transfer function으로 사용하는 새로운 모델을 제시하였다.

$$y_k = \sum_{i=1}^{n} W_{ik} \sinh(B X_i) \tag{4}$$

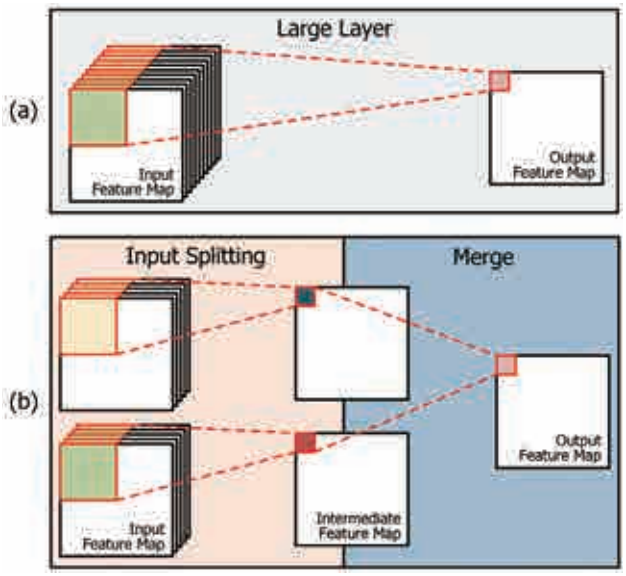
위와 같이 제안된 퍼셉트론 모델을 사용하여 뉴럴 네트워크를 구성할 경우 제안된 수식 역시 미분 가능 하므로 기존의 뉴럴 네트워크와 마찬가지로 gradient descent 방법을 사용하여 학습을 진행할 수 있다. 이렇게 학습된 웨이트들을 저항성 메모리 기반 가속기의 시냅스 메모리에 매핑한 경우 학습 시에 이미 비선형 저항의 특성을 고려하였기 때문에 각 비트라인에서 구해지는 출력 전압들이 앞 장에서 언급한 특수 회로 없이도 이미 뉴런 입력 값과 동일한 값을 가지게 되어 저항성 메모리의 비선형 전류/전압 특성에 의한 인식률 저하를 방지하게 된다. 제안된 뉴럴 네트워크를 사용 시 비선형성이 심한 경우에도 추론 정확도를 유지함을 확인 할 수 있었다[11].

4. 대규모 뉴럴 네트워크 구현을 위한 scalable 저항성 메모리 기반 하드웨어 구현

앞의 논의에서 보았듯이 특수한 소자 특성을 가지는 하드웨어 가속기 설계시 그러한 하드웨어 특성을 고려하여 뉴럴 네트워크를 재설계하는 방법이 효과적인 것을 알 수 있다. 이러한 뉴럴 네트워크 – 하드웨어 공동 설계 (Neural Network-Hardware Co-Design) 방법은 비단 앞에서 보인 메모리의 비선형 전류/전압 특성에 따른 인식률 저하 보정뿐만 아니라 소프트웨어적으로 학습된 웨이트가 가속기 하드웨어에 매핑 되었을 때 하드웨어가 가지는 여러 제한 조건으로 인해 오는 인식률의 저하를 최소화하는데 유효할 것으로 기대된다. 이 장에서는 이렇게 뉴럴 네트워크-하드웨어 공동 설계 방법론을 적용한 또 하나의 연구 예에 대해서 간략히 논하고자 한다.

저항성 메모리 기반 가속기의 경우 하나의 어레이가 처리할 수 있는 입력 뉴론의 개수는 어레이에 할당된 word line 개수로 제한된다. 하나의 어레이가 가지는 word line 개수는 1K 개 이하로 제한되는 경우가 많고 최근 사용되고 있는 뉴럴 네트워크들이 요구하는 입력 뉴론의 개수는 이보다 많은 경우가 있기 때문에 대규모 뉴럴 네트워크를 표현하기 위해서는 여러 개의 메모리 어레이를 사용하여야만 한다. 이 때 각 어레이에서 partial weighted sum을 계산하고 그 값들을 어레이 외부에서 다시 합쳐 최종 weighted sum 과 activation 값을 계산한다면 원래 뉴럴 네트워크의 연산 값과 동일한 결과를 얻어 낼 수 있게 된다. 하지만 이 경우 각 어레이에서 activation까지 마친 결과 값을 다음 어레이의 입력 뉴론 값으로 사용하는 설계 방법에서 벗어나게 되어 뉴럴 네트워크의 크기에 상관없이 scalable 한 시스템을 만들기가 어려워지게 된다.

또한, 이렇게 partial sum을 계산하는 경우 각 어레이에서 activation까지 끝마치는 경우보다 더 높은 분해능 (bit resolution)을 갖는 아날로그-디지털 변환기 (ADC)



〈그림 5〉 (a) 일반적인 CNN 레이어 (b) 입력 뉴론의 수를 메모리 어레이의 크기에 맞추어 재구성한 네트워크 구성[12]

가 출력회로에 필요하게 되어 전체 회로의 크기와 전력 소모에 나쁜 영향을 미치게 된다. 이는 저항성 메모리 가속기 설계 시 실제 메모리 어레이보다 입출력 회로에 쓰이는 ADC 및 DAC 의 오버헤드가 더 크게 되는 문제점을 심화시키데 된다.

따라서, 각 어레이에서 partial sum을 구하지 않고 대규모 뉴럴 네트워크를 구현할 수 있는 해결책이 요구된다.

본 연구팀에서는 뉴럴 네트워크-하드웨어 공동 설계 방법론을 적용하여 이러한 저항성 메모리 기반 뉴럴 네트워크 가속기의 scalability 문제를 해결하는 구조를 제안하였다[12]. 제안한 방법에서는 각 어레이에서 partial sum을 계산하지 않고 activation 까지 마친다는 것을 하드웨어의 제한 조건으로 정하고 어레이의 크기에 맞게 입력 뉴론의 개수를 조절한 뉴럴 네트워크를 재구성하여 학습을 다시 수행 한다 (〈그림 5〉). 이 경우 본래 뉴럴 네트워크의 정확성에 근접한 값을 복원 할 수 있음을 확인하였다.

예를 들어 512개의 4-bit 입력 뉴론를 갖는 뉴럴 네트워크 연산을 128개의 word line을 갖는 어레이 기반 가속기에 구현하는 경우 4-bit activation값을 갖는 4개의 어레이를 사용하여 네트워크를 나누어 처리하고 각각의 어레이에서 나온 activation 값들을 다시 더하는 방식을 사용하여 partial sum을 만드는 과정을 없앨 수 있다. 이 예에서 만일 기존의 구조와 같이 각의 어레이에서 partial sum을 만드는 경우, 각 어레이는 8-bit ADC를 출력 회로에 사용해야 하는 반면 제안하는 방식은 4-bit ADC 만을 필요로 하여, ADC 관련 오버헤드가 파격적으로 줄어들게 된다.

Ⅳ. 논의 및 발전 방향

앞에서 언급한 방법들이 저항성 메모리 기반 뉴럴 네트워크 가속기의 설계 시 문제점 중 몇 가지에 대한 해결책으로 제시되었으나 실제 응용에 쓰이기 위해서는 아직도 많은 문제들이 해결되어야한다 . 먼저, 본 글에서 언급한 문제점들에 대한 분석은 모두 칩의 외부에서 학습을 시킨 뉴럴 네트워크를 하드웨어에 매핑한 후 추론 작업을 수행하는 응용에 대한 내용이다. 이 글에서는 다루지 않았지만 온칩 학습 (on-chip learning)을 목표로 하는 경우 여러 가지 다른 문제점들이 존재하며 그것들에 대한 해결방안을 만들어 나가는 것 또한 중요한 연구 방향 중에 하나이다.

또한 많은 수의 메모리 셀을 이용한 회로이기에 공정 변이 (process variation)나 환경 변화에 따른 회로 특성의 변화에 둔감한 구조를 만드는 방향 또한 매우 중요하다. 이러한 관점에서 최근 뉴론 입력 값과 웨이트를 1-bit으로만 표현하는 binary neural network (BNN)에 대한 관심이 높아지고 있[13-14]. 아날로그 값이 아닌 디지털 값만을 사용하는 특성으로 인해 환경변화에 상대적으로 강인한 특성을 보일 것으로 기대되며 또한 입출력 회로역시 매우 간단하게 만들 수 있어 기존 구조의 ADC/DAC 관련 오버헤드역시 크게 줄일 수 있을 것으로 기대된다[15-17]. 향후 저항성 메모리 기반 BNN 하드웨어 설계 시 대용량 뉴럴 네트워크에서의 인식률 저하, 그리고 실제 scalable한 가속기 구조 설계 시 생겨나는 여러 가지 이슈에 대한 해결책에 대한 지속적인 연구가 필요할 것으로 전망 된다.

Ⅴ. 맺음말

이 글에서는 저항성 메모리 기반 뉴럴 네트워크 가속기의 기본 구조 및 구현 시 문제점들에 대해 요약하고 본 연구팀의 연구 내용을 바탕으로 문제점을 극복하는 몇 가지 설계 방법을 소개하였다. 저항성 메모리 기반 뉴럴 네트워크 하드웨어가 이론적으로 많은 장점을 가지고 있지만 아직까지는 시냅스/뉴론 소자나 작은 규모의 어레이를 중심으로 한 제한적인 실험에 그치고 있는 현실이다. 관련 분야의 도약을 위해서는 실제 저항성 메모리 하드웨어를 사용한 실험적인 연구 와 대규모 뉴럴 네트워크 연산을 위한 scalable 한 특징을 가지며 공정 및 환경 변화에 강인한 회로 및 시스템에 대한 연구 발전이 요구된다.

한편, 다른 종류의 뉴럴 네트워크 가속기에 비해 메모리 기반 가속기의 경우 메모리 설계 기술의 중요성이 훨씬 높기 때문에 메모리 분야 최선도국인 우리나라의 연구진에게 유리한 측면이 많이 존재한다. 그러한 맥락에서 국내 메모리 반도체 회사에서 큰 규모의 저항성 메모리 어레이를 만들어 학교 연구실들에 제공할 수 있다면 관련 연구의 발전에 큰 밑거름이 될 것으로 기대된다.

참고문헌

[1] N. Jouppi et al. “In-Datacenter Performance Analysis of a Tensor Processing Unit”, ISCA, 2017

[2] Y.-H. Chen, J. Emer, and V. Sze, “Eyeriss: A spatial architecture for energy-efficient dataflow for convolutional neural networks,” ISCA, 2016,

[3] S. Han, H. Mao, W. Dally, “ Deep Compression: Compressing Deep Neural Networks with Pruning, Trained Quantization and Huffman Coding, ICLR, 2016.

[4] D. Lee, D. Ahn, T. Kim, J-J. Kim, “Viterbi-based Pruning for Sparse Matrix with Fixed and High Index Compression Ratio”, ICLR, 2018.

[5] I. Hubara et al., “Quantized neural networks: Training neural networks with low precision weights and activations,” arXiv:1609.07061, 2016.

[6] E. Park, D. Kim, S. Yoo, “An Energy-Efficient Neural Network Accelerator based on Outlier-Aware Low Precision Computation,” ISCA, 2018.

[7] T. P. Morgan, “Nvidia pushes deep learning inference with new pascal GPUs,” Next Platform, Tech. Rep., 2016

[8] A. Shafiee, et al., “ISAAC: A convolutional neural network accelerator with in-situ analog arithmetic in crossbars,” ISCA, 2016,

[9] P. Chi, et al., “PRIME: A novel processing n-memory architecture for neural network computation in ReRAM-based main memory,” ISCA, 2016,

[10] T. Kim, H. Kim, J. Kim, J-J. Kim, “Input Voltage Mapping Optimized for Resistive Memory-Based Deep Neural Network Hardware,” IEEE Electron Device Letters, 2017

[11] H. Kim, T. Kim, J. Kim, J-J. Kim, “Deep Neural Network Optimized to Resistive Memory with Nonlinear Current-Voltage Characteristics,” ACM Journal on Emerging Technologies in Computing Systems (JETC), 2018.

[12] Y. Kim, H. Kim, D. Ahn, J-J. Kim, “Input-Splitting of Large Neural Networks for Power-Efficient Accelerator with Resistive Crossbar Memory Array,” ISLPED, 2018

[13] M. Courbariaux and Y. Bengio,“Binarized neural networks: Training deep neural networks with weights and activations constrained to +1 or -1.” https://arxiv.org/abs/1602.02830

[14] M. Rastegari, V. Ordonez, J. Redmon, A. Farhadi, “XNOR-Net: ImageNet classification using binary convolutional neural networks,” in ECCV, 2016,

[15] T. Tang et al., “Binary convolutional neural network on RRAM,” ASP-DAC, 2017

[16] X. Sun, et al., “XNOR-RRAM: A scalable and parallel resistive synaptic architecture for binary neural networks,” DATE, 2018

[17] L. Ni et al., “An energy-efficient and high throughput bitwise CNN on sneak-path-free digital reram crossbar,” ISLPED, 2017.

김재준

- 1994년 2월 서울대학교 공과대학 전자공학과 학사
- 1998년 2월 서울대학교 공과대학 전기공학부 석사
- 2004년 5월 미국 퍼듀대학교 전기및컴퓨터 공학 박사
- 2004년 5월~2013년 1월 미국 IBM T. J. Watson 연구소 연구원
- 2013년 2월~현재 POSTECH 교수

〈관심분야〉
뉴로모픽/뉴럴 네트워크 회로 및 시스템, 저전압 회로, 하드웨어 보안 회로 유연 소자 기반 회로 설계

김형준

- 2016년 2월 POSTECH 창의IT융합공학과 학사
- 2016년 3월~현재 POSTECH 창의IT융합공학과 석박통합과정

〈관심분야〉
뉴로모픽/뉴럴 네트워크 회로 및 시스템, 저항성 메모리 기반 뉴럴 네트워크 가속기 설계

김태수

- 2016년 2월 KAIST 전기 및 전자공학부 학사
- 2016년 2월~현재 POSTECH 창의IT융합공학과 석박통합과정

〈관심분야〉
뉴로모픽/뉴럴 네트워크 회로 및 시스템, 저항성 메모리 기반 뉴럴 네트워크 가속기 설계

김율화

- 2016년 8월 포항공과대학교 창의IT융합공학과 학사
- 2016년 9월~현재 포항공과대학교 창의IT융합공학과 통합과정

〈관심분야〉
뉴럴 네트워크 회로 및 시스템, 딥러닝 알고리즘

김진석

- 2015년 2월 포항공과대학교 창의IT융합공학과 학사
- 2015년 3월~현재 포항공과대학교 창의IT융합공학과 통합과정

〈관심분야〉
뉴로모픽 시스템, 스파이킹 뉴럴 네트워크, 온칩 러닝

엣지 디바이스를 위한 뉴로모픽 비동기 프로세서의 설계

이 진 경
대구대학교 전자공학과

김 경 기
대구대학교 전자공학과

Ⅰ. 서 론

사물인터넷 (IoT) 환경 하에서 빅데이터를 사용하여 데이터센터와의 연결을 사용하지 않고, 엣지 디바이스(edge device)에서의 인공지능 연산이 수행되는 엣지 AI 컴퓨팅의 필요성이 대두되고 있다. 엣지 컴퓨팅(edge computing)이란, 기계가 각 상황에 걸맞게 판단하고, 그에 따른 조치를 취하는 것을 말한다. 방식을 가리켜 엣지 컴퓨팅 대신 포그(fog, 안개) 컴퓨팅으로 부르기도 한다. 2014년 1월 미국의 시스코가 포그 컴퓨팅(fog computing)으로 엣지 컴퓨팅을 처음 제안했다. 최근에는 엣지 컴퓨팅을 클라우드 환경의 플랫폼으로 보아 엣지도 포그도 아닌 클라우드렛(cloudlet)이라는 표현을 쓰기도 한다. 〈그림 1〉은 기존의 클라우드 컴퓨팅과 엣지 컴퓨팅 구조의 차이를 보여주고 있다[1].

네트워크 지연이나 연결 단절 상황이 발생하여 안전과 품질에 치명적 피해가 발생할 수 있는 경우(예: 자율주행차 · 드론 · 수술 로봇 · 공장 품질관리 시스템 등)와 센서 노드에서 데이터센터로 데이터를 보내기에는 네트워크 트래픽 부하가 커서 네트워크 트래픽을 감소시켜야 하거나 기밀성 때문에 내부 정보를 외부에 반출하기 어려운 경우(예: 개인 생체 · 의료 정보 등), 마지막으로 네트워크 연결이 물리적으로 불가능해 반드시 엣지 디바이스에서 인공지능 처리를 해야 하는 경우 (예: 우주 탐사 · 심해 탐사 · 선박 등) 등에 엣지 AI 컴퓨팅이 사용되어 질 수 있다. 전문가들은 GPU 활용이 확대되면서 엣지 컴퓨팅 기술 발전이 가속화 될 것으로 기대하고 있다[2].

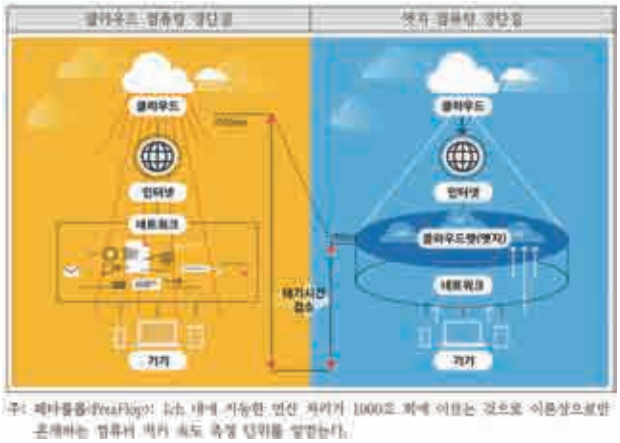
그러나 최근의 인공지능은 발전은 GPU 컴퓨팅의 발전에 힘입은 바가 크나, GPU의 많은 발열과 전력소모로 인해 인공지능의 에너지 효율성 개선의 필요성이 제기되고 있다. 따라서 저전력을 요구하는 사물인터넷 환경에서는 기존 폰 노이만(Von Neumann) 방식의 아키텍처 컴

퓨팅의 한계를 극복하기 위해서 인간의 뇌를 모방한 뉴로모픽 (neuromorphic) 기술이 미래 반도체 기술의 핵심으로 떠오르고 있다.

〈그림 2〉와 같이 뉴로모픽 컴퓨팅의 구조는 일반적으로 인간의 뇌의 뉴런과 시냅스의 복잡한 그물망 형태의 연결을 모방하여 망(Mesh)구조의 형태로 뉴런과 시냅스가 연결되어 구성된다. 뉴런은 트랜지스터 회로로 구성될 수 있고, 시냅스는 시냅스 모방소자로 대체하여 구성된다. 폰 노이만 구조와는 달리 병렬 구조로 연결되어 연산을 수행하기 때문에 가장 큰 문제점인 병목현상을 해결할 수 있다[3-4].

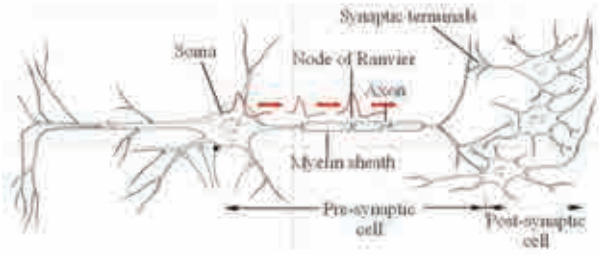
여기서 뉴런은 막전위(membrane potential)가 문턱전압(threshold voltage)보다 높으면 스파이크 신호를 생성하고, 시냅스를 통해 전 뉴런(pre-neuron)과 후 뉴런(post-neuron)이 신호를 주고받게 된다. 이 과정을 통해 시냅스의 가중치가 변화하게 되는데 이를 학습이라고 하고, 학습 종류에는 STDP, SRDP, SDSP등이 있다. 시냅스 모방소자(synaptic device)는 RRAM(Resistive Random Access Memory), 멤리스터(Memristor), PCRAM (Phase Change RAM) 등이 있으며, 이 소자들의 특징은 소자를 통과하는 전하량에 따라 저항 값이 변하고 전원 공급이 끊기거나 다음 입력이 들어오기 전까지 가장 최근의 저항 값을 기억하는 비휘발성 메모리의 특성을 가지고 있다[3-4].

이런 시냅스 모방 소자는 비동기적 회로 동작을 하며,



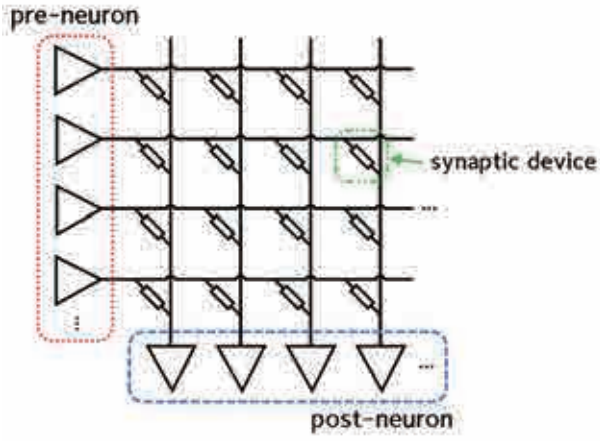
〈그림 1〉 클라우드 컴퓨팅과 엣지 컴퓨팅 구조
(자료: 삼성 뉴스룸(2017. 5. 17.)

병렬적 정보처리를 통해 기존 폰 노이만 컴퓨팅 방식에 비해 1/10000 수준의 에너지로 동작하는 초고효율 하드웨어 소자로서 데이터를 종합적으로 인지, 처리하면서도 초저전력으로 구동이 가능하다. 뇌신경 네트워크의 기본

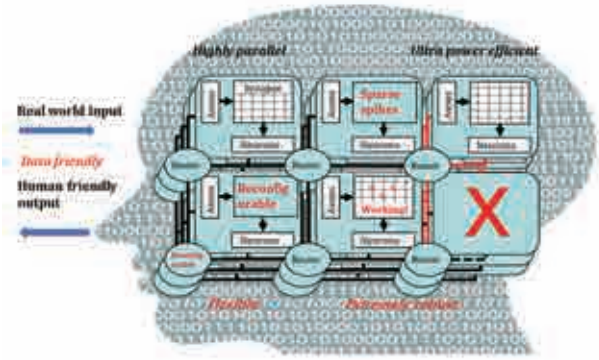


(a) 생물학적 뉴론(neuron)과 스냅스 (synapse) 구조

(b) 실리콘 뉴론 (neuron) 동작 원리



(c) 망구조 형태의 실리콘 뉴런과 스냅스 구조



(d) 전체 실리콘 뉴로모픽 구조

〈그림 2〉 생물학적 뇌의 뉴런과 스냅스의 복잡한 그물망 형태의 연결을 모방한 망구조 형태의 실리콘 뉴런과 스냅스 구조

〈그림 3〉 인텔 Loihi 칩

단위인 시냅스의 특성을 모방한 시냅스에서 전달되는 신호는 이진법 신호가 아닌 자극에 따라 변화하는 비동기적인 아날로그 신호로 최소한의 에너지로도 많은 정보를 처리한다.

자극에 의해 구동되는 뉴로모픽 컴퓨팅의 비동기적인 동작을 위해서 지금까지 많은 뉴로모픽 칩들이 완전한 비동기 동작을 목표로 연구가 진행되어 오고 있다. 특히, 최근에 발표된 인텔(Intel)의 인공지능(AI) 가속화를 위한 최초의 자체 학습형(Self-Learning) 칩인 로이히(Loihi) 뉴로모픽 칩은 완전히 비동기적으로 동작하는 뉴로모픽 다중 코어 메쉬(mesh)를 보유하며, 각 뉴런은 수천 개의 다른 뉴런과 통신을 할 수 있다. 〈그림 3〉의 로이히 칩은 인텔의 14nm공정 기술과 재프로그래밍이 가능한 FPGA 타입으로 제작, 128개의 코어로 구성되어 있으며 각각의 코어는 1,024개의 인공 신경세포인 뉴런을 가지고 있다[1]. [5]

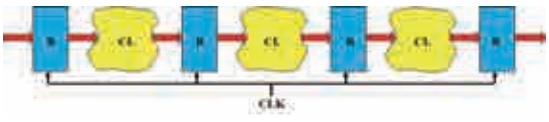
본 고에서는 기존 여러 문헌들에서 기술한 뉴로모픽 동작 원리보다는 엣지 디바이스를 위한 저전력 뉴로모픽 칩에 적용이 가능한 비동기 설계 방식과 실제 설계에 대해서 기술하고자 한다.

Ⅱ. 비동기 설계 방식

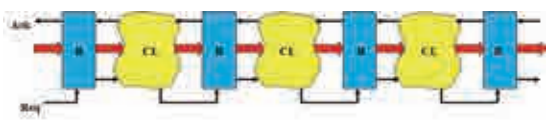
뉴로모픽 비동기 프로세서를 설명하기에 앞서서 기존 비동기 회로의 개념에 대해서 간단히 기술하고자 한다. 최근에 나노 공정 기술의 발전과 더불어 클럭 속도가 증가함에 따라서 배선의 지연(wire delay)과 클럭 스큐(skew)가 중요한 이슈가 되고 있다. 그리고 고성능의 논리회로에서 만족할 수 있는 스큐를 가지기 위해서는 큰 사이즈의 클럭 드라이버(driver)가 반드시 필요하게 되고, 이런 클럭 드라이버는 전력을 증가시키는 원인이 될 뿐만 아니라, 나노미터급 공정에서는 공정, 전압, 온도 변이(PVT variation)와 노화효과(aging effect) 의한 속도 및 전력의 변화가 매우 커서 동기회로의 오류가 발생할 수 있는 확률이 매우 높아지고 있다. 특히, 저전력을 위한 저전압 동기 회로에서 야기되는 지수적으로 증가하는 전파지연과 PVT 변이, 노화효과에 의한 속도 및 전력의 변화는 동기회로의 동작을 불가능하게 해서, 동기 회로를 신뢰할 수 없게 만들고 있다. 동기회로에서 발생하는 이런 여러 문제들로 인해서 비동기 설계에 다시 관심이 집중되고 있다[6-7].

비동기식 회로 설계(asynchronous circuit design)는 〈그림 4〉의 동기식 회로 설계(synchronous circuit design)에서 사용되는 전역 클럭(global clock)이 없이 〈그림 5〉와 같이 주변 모듈 사이에 Ack 신호와 Req신호를 사용한 핸드쉐이킹(handshaking) 프로토콜에 의해 데이터 신호를 동기화하고, 전송하는 회로 설계 방식이다. 비동기식 회로 설계 방식은 1940년대에 개발된 기술이지만, 설계 자체가 어렵고 면적 증가 등의 단점으로 제한된 분야에서 이용되었다.

하지만, 비동기 회로는 첫째, 집적회로를 구현하기 위한 공정 기술의 발달로 트랜지스터의 크기가 작아지면서 작은 면적에 대량의 트랜지스터를 집적할 수 있게 되었다. 이것으로 기존의 비동기 회로 설계 면적 증가로 인



〈그림 4〉 동기식 회로 설계

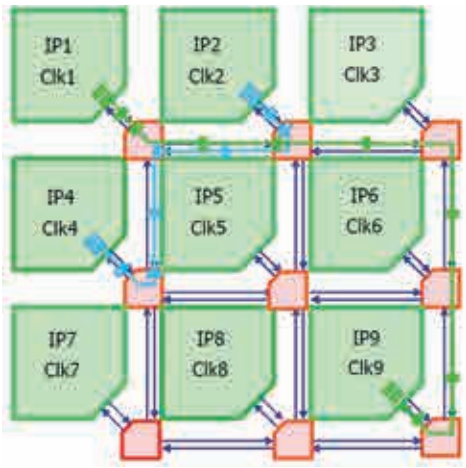


〈그림 5〉 비동기식 회로 설계

1) 이는 13만개의 신경세포 및 1억 3,000만개의 시냅스를 가지는 갑각류 랍스터의 뇌보다 복잡하지만 800억개의 신경세포를 가진 인간보다는 다소 뒤처진다.

한 문제들을 해결할 수 있다. 둘째, 최악의 경우(worst-case) 형태의 동기식 회로 설계 방식에 비해서 비동기 회로 설계 방식은 모듈 사이의 다양한 종료시점으로 인한 평균의 경우(average-case) 형태의 동작을 수행한다. 이것은 이론적으로 높은 성능의 특성을 가지며, 실제로 고속의 파이프라인 회로에 적용되고 있다. 셋째, 비동기식 회로 설계 시에 전역 클럭이 없으므로 이것으로 인한 문제점들, 예를 들면, 클럭 스큐 문제, 다중 클럭 도메인 설계 문제 등에서 이점을 갖는다. 넷째, 모바일 기기의 증가로 저전력 소모에 대한 요구가 증대되었다. 특히 전력 소모가 문제가 되는 동기식 설계 방법에 비해 비동기 회로 설계는 회로의 동작이 필요할 때만 구동되므로 낮은 전력을 소비한다. 이러한 이유 때문에 저전력 소모를 목적으로 특정 애플리케이션에 적용될 수 있다.

전통적인 설계 기술 분류는 크게 하드웨어와 소프트웨어 기술로 분류할 수 있다. 하드웨어 기술은 하드웨어의 규모에 따라 기본회로(Circuit 수준), 기능블록 및 FSM(Finite State Machine), 파이프라인 방식, GALS(Globally Asynchronous Locally Synchronous), 시스템 아키텍처, 테스트 회로 등으로 분류할 수 있으며 소프트웨어는 크게 설계 기술과 검증 기술로 분류할 수 있다. 특히, GALS는 비동기 핸드쉐이킹 방식을 사용하여 동기식 블록(혹은 시스템)을 연결하는 방식으로, 전역 및 다중 클록에 대한 문제점을 제거함과 동시에 저전력을 구현할 수 있는 방식이다. 데이터 처리방식은 데이터



〈그림 6〉 GALS and Network-on-chip

와 제어방식과의 관계를 정의하는 것으로, 데이터 및 제어 신호의 지연시간에 대한 가정에 따라 데이터를 처리하는 방식이다. GALS은 〈그림 6〉과 같이 비동기 설계를 기반으로 하는 완전한 비동기식 라우터 및 링크를 가지는 NoC(network-on-chip)에서 각 모듈을 비동기적으로 연결하기 위해서 사용이 될 수 있다. 이와 같은 전통적 분류 외에 비동기 설계 기술의 고유한 기술들의 분류로서는 데이터 처리방식, 데이터 표현방식, 핸드쉐이킹 방식, 기타 분류로 나누어진다.

한편, 비동기식 회로는 지연 모델에 따라서도 구분될 수 있는데 회로의 소자, 도선의 지연유무에 따라 bounded delay, speed independent, delay insensitive, quasi-delay insensitive 형태가 존재 한다. 〈표 1〉은 지연 모델을 요약하고 있다.

BD 모델은 소자, wire 모두 유한한 지연을 가정하고 있다. 입력이 인가된 후 회로가 안정화되고 출력이 발생할 때까지 다른 입력이 발생할 수 없다는 기본적인 모드 수행을 기본으로 한다. 이는 동기식 회로 특성과 유사하고 실제로 이 기반 모델의 비동기 식 회로설계 시에는 최대지연시간을 고려해야 한다. DI 모델은 소자, wire 모두 알려지지 않는 지연을 가정하므로 어떠한 시간 가정도 필요 없다. 따라서 가장 신뢰할 수 있는 가정이지만, 실제적으로 적용되는 회로는 극히 제한적이다. SI 모델은 소자의 지연 시간만 알려지지 않는 것으로 가정한 것이고, QDI는 SI와 유사하나 한 wire 에서 분기되는 wire에 대해서는 같은 지연 시간을 갖는 것으로 가정하는 isochronic fork 개념이 내포 되어 있다. BD 모델은 소자, 도선 모두 유한한 지연을 가정하고 있다. 동기식 회로 특성과 유사하게 입력이 인가된 후 회로가 안정화되고 출력이 발생할 때까지 다른 입력이 발생할 수 없다는 것을 기본으로 한다. 즉, 최악의 경우(worst case)의 성능 분

〈표 1〉 소자, 도선에 따른 지연 모델

지연 모델	소자	도선
Bounded Delay(BD)	bounded	bounded
Delay Insensitive(DI)	unbounded	unbounded
Quasi Delay Insensitive (QDI)	unbounded	isochronic fork
Speed Independent (SI)	unbounded	zero delay

석을 요구한다는 점에서 기존의 동기식 방식의 성능 분석과 흡사하며, 이는 실제로 DB기반 모델의 비동기 회로를 설계에서 확장된 타이밍 분석을 요구하게 된다.

반면, QDI 모델은 소자, 도선 모두 알려지지 않은 지연을 가정하므로 어떠한 시간 가정도 필요하지 않다. 따라서 타이밍 분석이 요구되지 않고, 최악의 경우의 성능이 아니라 평균적인 경우의 성능을 가져온다. 따라서, BD 모델에 비해서 공정, 전압, 온도 등의 변이에 영향을 받지 않으며, 설계한 회로를 재사용하는 것이 매우 용이하게 된다.

이런 점들에 의해서 QDI 모델이 최근 활발히 연구되어지고 있으며, 그 중에서도 Null convention logic(NCL)에 관한 연구들이 많이 되고 있다. NCL은 타이밍 제한만을 용이하게 하는 다른 QDI 모델들과는 다르게 타이밍과 전력을 모두 고려한 최적화된 설계를 할 수 있으며, 27개의 기본적인 셀만으로 비동기 회로를 구현할 수 있는 장점을 가지고 있다. 뿐만 아니라, 게이트 레벨과 회로 레벨에서의 회로 구현이 가능하고, 기존의 검증 툴을 그대로 사용할 수 있는 이점이 있다[8-10].

이제 다음 장에서는 몇 가지의 뉴로모픽 비동기 프로세서들의 예를 들어 그 구체적인 구현방법에 대해 살펴보고자 한다.

Ⅲ. 뉴로모픽 비동기 프로세서의 구현

1. 인텔사의 Loihi

인텔 14nm 공정 기술로 제작된 Loihi 테스트 칩은 뇌의 기본 매커니즘을 모방한 디지털 회로가 포함되어 있어 기계 학습보다 빠르고 효율적으로 수행하면서 더 낮은 컴퓨팅 성능을 필요로 한다. 총 13만개의 뉴런과 1억 3,300만개의 시냅스의 처리 능력을 제공하며, 완전한 비동기적 뉴로모픽 매니 코어 메쉬(mesh)에 구축되어 각 뉴런은 수천 개의 다른 뉴런과 통신할 수 있다.

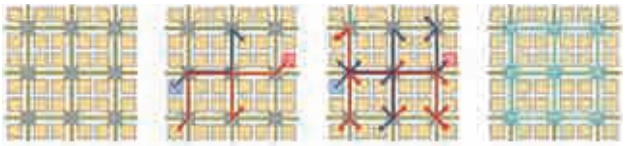
개별 뉴로모픽 코어는 동작 중에 네트워크 매개 변수를 조정하고 지도 학습, 자율 학습, 강화 학습 및 기타 학습 패러다임을 지원하기 위한 프로그래밍 가능한 학습 엔진이 포함되어 있다. 또한 경로 계획(path planning), 제약 만족(constraint satisfaction), 스파스 코딩(sparse coding), 사전 학습(dictionary learning), 동적 패턴 학습 및 적용(dynamic pattern learning and adaptation) 등을 포함한 문제에 대해 효율이 높은 여러 알고리즘의 개발 및 테스트를 할 수 있다[5].

Loihi 칩의 구조는 메쉬(mesh) 구조를 가지는 128개의 뉴로모픽(neuromorphic) 코어, 3개의 임배디드(embedded) x86 프로세서, 오프-칩 통신 인터페이스로 구성되었다. 비동기 방식의 온-칩 네트워크는 코어 간의 통신, 코어 간의 읽기 쓰기, SNN의 컴퓨팅을 위한 스파이크 메시지 전달을 지원한다. 메쉬(mesh) 프로토콜은 4096개의 온-칩 코어까지 확장 가능하며, 계층적으로는 16384개의 코어까지 가능하다. 각각의 뉴로모픽(neuromorphic) 코어는 트리 구조로 세팅된 1024개의 스파이킹 뉴럴(spiking neural) 유닛으로 구현되었으며, fan-in과 fan-out의 연결, 구성 및 상태는 10개의 메모리에서 공유한다.

Loihi 칩은 처음으로 Sparse network compression, Core-to-core multicast, Variable synaptic formats, Population-based hierarchical connectivity를 지원하는 SNN 칩이다. 각각의 Loihi 코어들은 프로그램을 할 수 있는 학습 엔진이 포함되어, 오랜 시간이 지나도 시냅틱(synaptic)의 활성 상태를 진화시킬 수 있다. Loihi 코어들의 로직들은 모두 디지털로 구현되었으며, 각각의 모듈들은 비동기식 방식으로 서로 연결되어 event가 발생될 때만 스파이크가 발생, 라우팅 및 전달이 되어 전력 소모를 많이 줄일 수 있다[11].

(1) Loihi 칩의 메쉬(mesh) 동작

〈그림 7〉은 뉴로모픽 메쉬(mesh) 코어의 작동원리를 보여준다. 각각의 코어들은 알고리즘의 시간적 상수 time-step t에 의해 시작된다. 각각의 코어는 뉴런의 셋 과정을 반복하고, 셋(set) 과정에서 생긴 뉴런들은 Network-on-chip(NoC)에서 분리를 하여 스파이크 메시지를 전달한다. A 코어와 B 코어에서 분리된 뉴런 n1과 n2는 〈그림 7〉의 두 번째 박스에서 보여주고, 추가의 스파이크 뉴런이 NoC에 분리될 때 생성되는 그림은 세

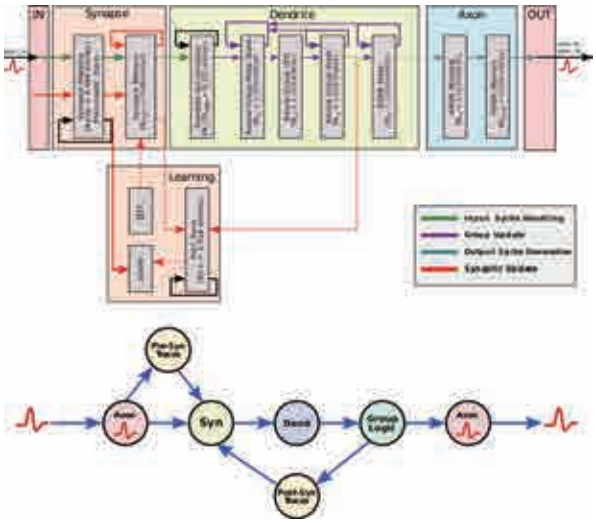


〈그림 7〉 Mesh Operation

번째 박스에서 보여준다. NoC는 dimension-order 라우팅 알고리즘을 사용하여 여러 개의 스파이크 메시지들을 분리한다. 한 개의 스파이크가 생성될 경우, NoC는 유니캐스트(unicast) 방식으로 뉴런을 분리한다. 여러 개의 스파이크가 생성되면, 각각 코어의 출력은 하나의 코어에 하나의 뉴런을 목표지점으로 삼는 것을 원칙으로 한다. 그러나 교착상태(deadlock)의 발생으로 인한 chip-to-chip의 메시지 송신을 위하여, 메쉬(mesh) 구조는 두 개의 독립적인 라우터 네트워크를 사용한다. 대역폭의 효율을 줄이기 위해, 각각의 코어들은 라우터 네트워크를 사용한 스파이크 송신을 선택할 수 있다. time-setup t 시간이 지난 후, 모든 코어들은 각각의 스파이크를 전송했다는 확인을 받아야 그 다음 time-step t+1 로 넘어가게 된다. 이 메쉬(mesh) 구조는 글로벌 클록을 이용한 분리방식보다 barrier synchronization 방법을 사용하여, time-step t 시간에 스파이크 송신이 완료되면, 근접된 코어에 장벽(barrier) 메시지를 전달하여 다음 상태로 전환한다[11].

(2) Loihi 칩 디자인 구현

〈그림 8〉은 Loihi 마이크로 아키텍처의 내부구조이다. 색상이 있는 블록들은 이 구조의 메인 메모리들이며, 뉴런의 연결, 구성 및 다이내믹 상태를 맵핑시켜준다. 코어의 SRAM 사이즈는 2Mb이고 ECC 기능이 포함되어 있으며, input spike handling, compartment update, output spike generation, synaptic update 등 4개의 초기 작동 모드가 있다. 이 네 개의 모드는 최소 클록 사이클에서 작동하며, UCODE 블록은 재구성이 가능한 학습 엔진이다. 시냅스는 64비트의 SYNAPSE_MEM 블록에서 병렬 추출되며, DENDRITE_ACCUM과 LEARNING 블록에 들어가게 된다. pre-synaptic trace 상태는 SYNAPSE_MEM 포인터에 같이 저장되고 SYNAPSE_

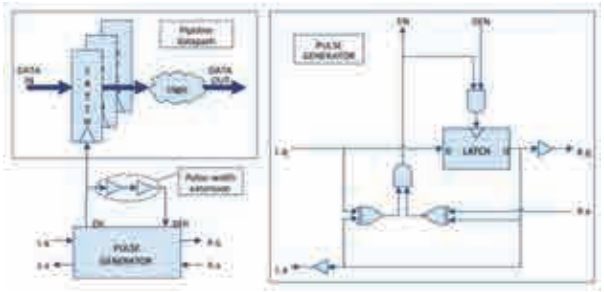


〈그림 8〉 Core Top-Level Microarchitecture

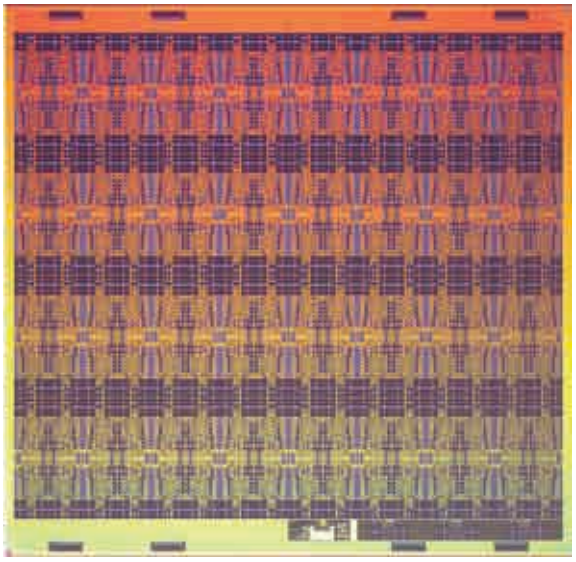
MAP 메모리로 들어가게 되며, 스파이크가 멀티 시리얼로 처리되게 되면서 면적을 줄일 수 있다[11-12].

(3) Loihi 칩 비동기 설계 방법

뉴럴 네트워크는 근본적으로 비동기식 작동 방식을 가지고 있다. 비동기식 디자인 방법은 뉴럴 네트워크의 적합한 설계방식으로 오랜 기간 동안 연구되어 왔다. 본 아키텍처 디자인은 top-down 분해방식의 구조로 이루어지고, CAST와 CSP 언어로 설계되었다. 계층적 구조를 가지는 모듈들은 비동기식 메시지 전달을 하기 위해, request와 acknowledge 신호를 가지는 bundled 데이터 블록과 맵핑을 이룬다. 〈그림 9〉는 bundled 데이터 파이프라인 구조와 펄스 발생 회로도이며, 두 개 위상의 handshake와 request 신호를 가진다. 스파이크 뉴럴 네트워크(SNN)의 활성도에 따라, Fine-grain 비동기식 설계방식은 시간과 공간의 이점을 가지고 있다. 동기식 클



〈그림 9〉 Bundled data pipeline stage and its pulse generator circuit



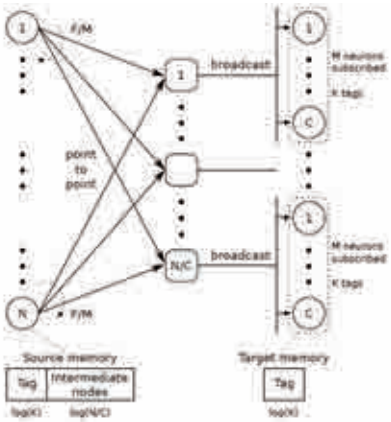
〈그림 10〉 Loihi Chip plot

록의 활성도에 따른 각각의 모듈들이 비동기식 방식에 서로 맵핑이 된다면, 전력소모를 많이 줄일 수 있을 뿐만 아니라, 타이밍 마진도 줄 일수 있다[11].

CSP 언어로 구현된 계층적 디자인들은 파이프라인 합성툴을 사용하여 Verilog언어로 변환하였다. Verilog로 변환된 동기식과 비동기식 디자인들은 FPGA로 구현하였다. 비동기식 방식을 이용한 모듈들은 모두 스탠더드 셀 라이브러리로 레이아웃을 하였으며 〈그림 10〉은 Loihi 칩의 layout을 보여주고 있다[11].

2. aiCTX사의 DYNAP

Dynamic Neurormorphic Asynchronous Processor (DYNAP)은 혼합 신호 배열의 스파이크 뉴런을 기반으로 재구성 가능한 범용 실시간 신경 네트워크를 제공한다. DYNAP는 계층적 및 메시 라우팅 전략을 사용하고 메모리 요구 사항과 대기 시간을 최소화하는 이기종 메모리 구조를 결합하여 매개 변수 구성을 통해 광범위한 이벤트 기반 신경 네트워크 아키텍처를 지원하는 프로그래밍 유연성을 극대화하는 새로운 비동기 라우팅 방법을 제시하였다. 효율적인 완전 비동기식 코어 간 및 칩 간 라우팅 아키텍처를 통해 과중한 시스템 부하를 임의 연결로 해결하도록 하였다. 이는 고속 비동기 계층 적 라우터를 구현하는 새로운 코어 아키텍처를 사용하여 달성된다. 최



〈그림 11〉 Two-stage tag-based routing scheme

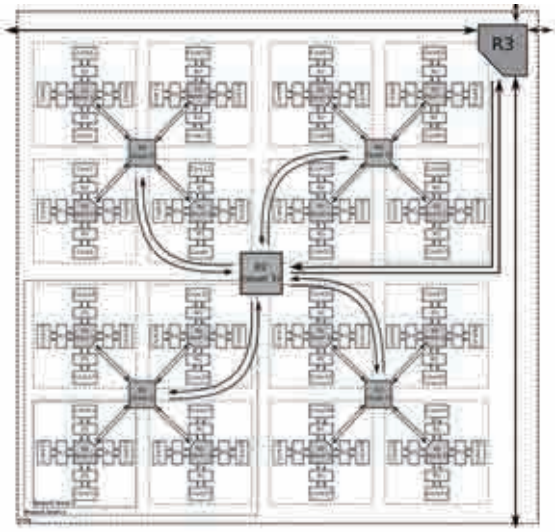
대 4×4 개의 DYNAP 칩을 all-to-all 연결을 통해 직접 인터페이스 할 수 있게 하였다. DYNAP 칩은 표준 4 단계 핸드 쉐이킹을 통해 동적 비젼 센서 (DVS, dynamic vision sensor)에 고속으로 표시되는 시각적 기호의 실시간 분류를 위해 컨벌루션 (convolutional) 신경망을 사용하는 신경 뉴로모픽 프로세서의 사용을 데모를 통해서 증명하였다[12-13].

(1) DYNAP의 Memory Optimized Routing 방법

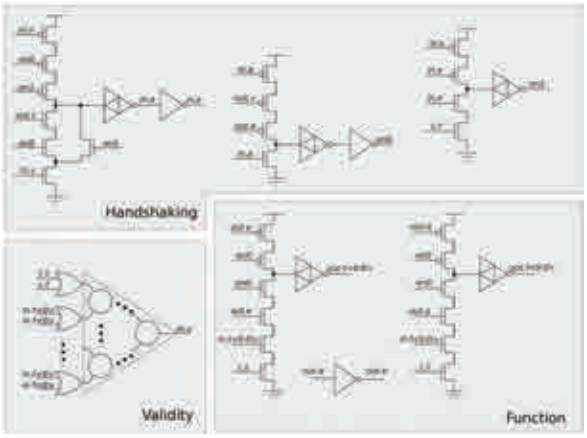
N X N 크로스바 어레이 구조를 가지는 뉴로모픽 시스템에서 각각의 뉴런들이 가지고 있는 비트 어드레스는 $\log_2(N)$이다. 따라서 F개의 fan-out을 지원할 수 있는 뉴런의 개수는 $F\times\log_2(N)$ 개이며, 면적 소모도 많을 뿐만 아니라 뉴런 간의 연결도 복잡하다. 〈그림 11〉은 뉴런 및 메모리 개수를 줄이기 위한 메모리 라우팅 방식이다. 각각의 다른 Cluster 들은 독립적인 어드레스 주소를 가지고 있으며, 뉴런과 뉴런 간의 연결이 재사용이 가능하도록 같은 tag id를 사용하였다[14].

(2) DYNAP의 계층적 메쉬 라우팅(mesh routing) 아키텍처

뉴럴(neural) 네트워크의 메모리 라우팅을 최적화하기 위해, 각각 코어의 연결은 비동기식 라우터에 의해 컨트롤 되는 메쉬(mesh) 라우팅 구조를 사용하였다. 〈그림 12〉는 비동기식 방식을 이용한 메쉬 라우팅 네트워크 구조이며, 3개 레벨의 각각 다른 라우터를 사용하여 구현하

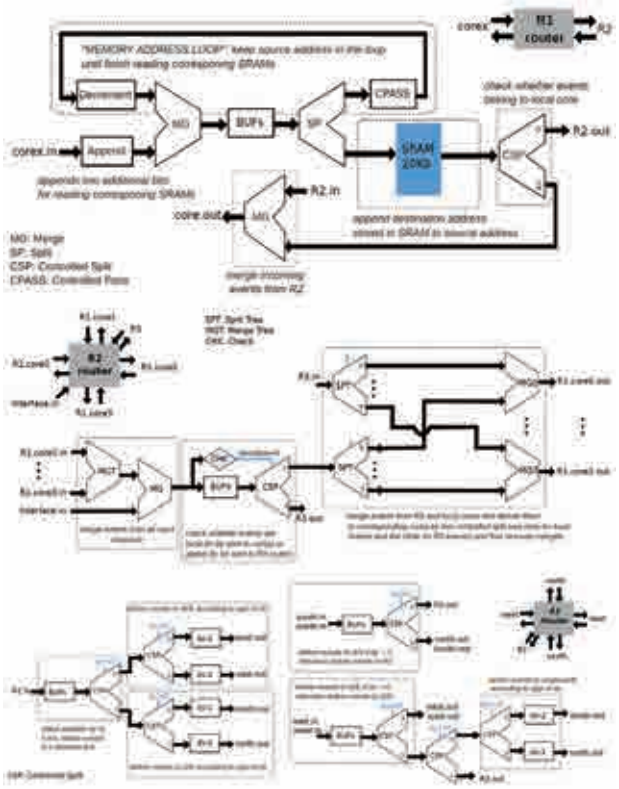


〈그림 12〉 Mixed-mode hierarchical-mesh routing network example



〈그림 13〉 "Controlled-pass" QDI circuit diagram

였다. 최하위 레벨인 비동기식 방식의 라우터 R1은 로컬의 코어를 연결해주는 라우터이며, event를 그 전의 코어로 전송해주는 역할도 한다. R2는 트리-구조를 사용하여, 각각의 로컬 R1 라우터에 연결이 되며, R3은 최상위 비동기식 라우터이다. R1, R2, R3 라우터는 비동기식 방식중 하나인 QDI 방식을 사용하여 구현하였다. QDI 방식은 각각 게이트의 전파지연에만 의존하고, 게이트 지연에는 의존하지 않는다. QDI 방식의 R1, R2, R3의 컨트롤 패스의 구현은 〈그림 13〉의 회로 다이어그램에서 보여주고 있다. QDI 방식의 구현은 Communicating Hardware Process(CHP) 언어로 프로그램이 가능하다. 핸드쉐이킹(handshaking) 프로토콜과 다른 타입의 프로토콜도 CHP 프로그램을 사용하여 배치가 가능하다. 컨



〈그림 14〉 Block diagram of R1, R2, R3 routers

트롤 패스는 두 개의 인풋 채널과 하나의 아웃풋 채널로 구성된다. 'in' 채널은 인풋 데이터를 홀드 시키고, 'sig' 채널은 인풋 채널의 데이터를 아웃풋 채널로 전송하는 컨트롤 신호로 사용된다. 'sig' 채널은 듀얼-레일 구조를 사용하며 sig.t와 sig.f의 신호는 동시에 1이 될 수 없다. 'sig.t' 신호가 1이면, 아웃풋 채널은 셋 되고, 인풋 데이터를 받을 준비가 되어 있다. 'sig.f' 신호가 1이면, 더 이상의 컴퓨팅 실행은 건너뛰도록 한다[15].

〈그림 14〉는 R1, R2, R3 라우터의 블록 다이어그램이다. 각각의 코어는 R1과 연결되어 있다. 어드레스 발생이 corex에서 일어나면, 데이터는 R1 라우터의 Append 블록으로 전송된다. 이 블록은 두 개의 비트를 추가하여, fan-out과 first-level를 인코딩 하는데 사용된다. 메모리 어드레스 루프 블록은 QDI merge 블록, 버퍼, 스플릿 패스, 컨트롤 패스, 및 decrement 패스로 이루어진다.

SRAM의 사이즈는 20Kb이며, 10비트의 tag 어드레스, 6비트의 헤더 정보 및 4비트의 목적 id를 가진다. 스플릿 패스는 코어와 칩의 목적 어드레스를 체크하여, 데

〈그림 15〉 Die photo of DYNAP chip.

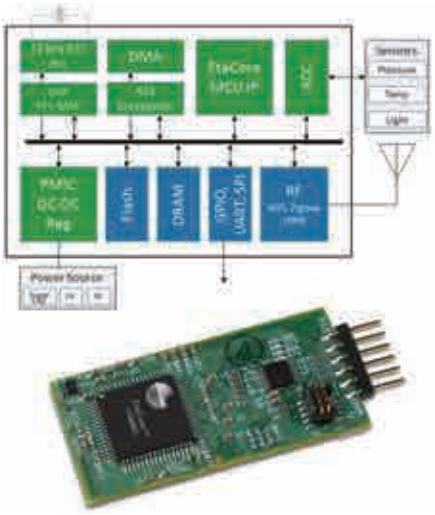
이터가 같은 코어에 전송되는지 아니면 다른 코어로 전송될지 결정한다. R2 라우터는 R1 라우터의 통신을 관리한다. R2 라우터는 트리 구조를 이용하여 R1 라우터를 관리한다[16].

DYNAP 뉴로모픽 칩은 〈그림 15〉와 같이 총 4개의 코어가 있으며, 각 코어는 256개의 뉴런이 포함되어 있다. 네 개의 코어는 비동기식 라우터 R1, R2, R3으로 상호 연결되고, 0.18um CMOS 공정에서 구현되었다. 칩 면적은 43.79mm^{2}이다[17].

3. Eta Compute사의 EtaCore

앞에서 소개한 두 개의 예와는 다른 예를 소개하고자 한다. IP 라이센싱(licensing) 기업인 Eta Compute는 저전력 기계학습 및 인공지능을 위한 55nm 공정을 사용한 AI 컴퓨팅 플랫폼을 최근 발표하였다. AI 컴퓨팅을 위한 마이크로프로세서를 초저전력 비동기 방식으로 설계함과 동시에 스파이킹 뉴럴(spiking neural) 네트워크 소프트웨어를 구현하였다. 플랫폼은 〈그림 16〉과 같이 ARM의 Cortex-M3 프로세서, NXP Semiconductors의 Coolflux DSP, 12 비트 SAR (successive approximation register) 아날로그-디지털 컨버터, 전력 관리, 파워 온 리셋, 브라운 발진기, 온도 센서, 수정 발진기, RC 발진기 등으로 구성이 되어 있다.

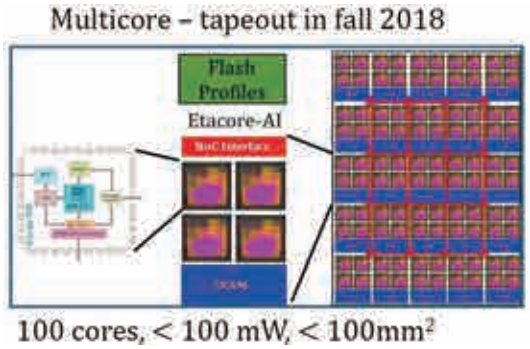
2015년 설립된 Eta Compute사는 QDI 모델을 사용한 NCL을 기반으로 지연에 민감하지 않은 비동기식 로직 (DIAL, delay insensitive asynchronous logic) 기술을 Cortex-M3 및 Coolflux DSP에 적용하여 이벤트(event)를 기다릴 때는 deep sub-threshold 전압, 즉 극도의 저전력을 사용하게 해서 소비전력을 거의 사용하지 않게 하고, 일반 성능을 요구할 때는 약 100MHz의



〈그림 16〉 EtaCore 플랫폼

〈표 2〉 Significant Benefit of Eta Core

- Efficient event driven computing technique that burns power only when spiking
- Power efficient inferencing uses much less resources (compute, memory)
- Temporal information enables online learning and autonomous adaption to environment
- Drop power consumption by V2 as the workload is reduced
- Only viable solution that can operate 〈 5uA drawn from small coin cells or solar, or other energy harvesting
- Resistance to DPA side channel attacks for increased security of embedded application
- Enables rapid interrupt response for low latency applications
- Robust operation versus process and temperature which improves manufacturing yield and design margin



〈그림 17〉 Eta Compute Asynchronous Multicore chip (100K neurons, 10M synapses)

성능까지 확장 할 수 있는 초저전력 프로세서를 앞서 개발하였다. 그리고 개발된 저전력 DIAL 기술을 기반으로 소프트 인공지능 엔진을 구동할 수 있는 스파이킹 뉴럴(spiking neural) 네트워크를 개발한 것이다. 소프트 인공지능 엔진을 실행할 수 있는 Cortex-M3 프로세서는

최저 0.2V까지 작동 할 수 있으며 최저 1uW의 전력을 소비한다. 그러나 SRAM의 전압 유지를 위해 레벨 쉬프터(level shifter)를 사용하게 된다. 일반적으로 클록 주파수가 0.2V에서 100KHz 미만으로 감소되고 1V 이상에서는 100MHz에서 작동한다[18]. 그 외 Eta Compute사에서 밝히고 있는 칩의 이점은 〈표 2〉와 같다. 2018년 가을에 Eta compute사에 〈그림 17〉과 같은 비동기 멀티코어 칩을 생산할 계획이다.

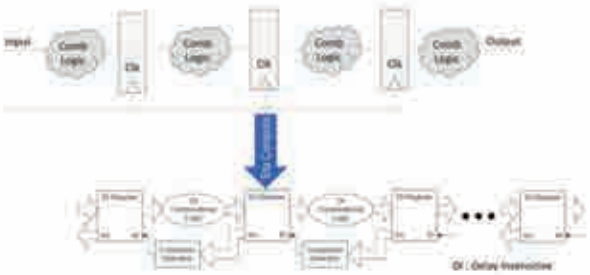
(1) EtaCore의 DIAL architecture

DIAL 구조는 〈그림 18(a)〉와 같이 기존의 모든 동기회로 방식을 비동기 회로 방식으로 변환하기 위해서 동기식 논리회로들을 모두 QDI방식의 NCL 회로들로 변환하는 것이다. NCL 설계 방식은 클럭이 존재하지 않는 비동기 설계에서 QDI 설계 방식에 속한다. NCL 회로는 self-timed 논리이므로 최악의 경우의 경로지연 분석과 제어신호의 지연을 맞추는 것을 요구하지 않는다. DATA와 DATA 사이에 NULL 신호가 포함되어 동작하는데, 이 때문에 null convention logic이라 불리게 명명되었다. NCL 회로의 장점은 전역 클럭이 없고, 노이즈에 강하며, 낮은 전자파 간섭을 가지고, 저전력을 가질 수 있는 장점이 있고, 기존 CAD 툴을 이용한 설계가 가능하다[18-19]. DIAL에서 사용한 설계 과정은 〈그림 18(b)〉와 같고, 주된 부분은 아래와 같다.

1. Sync to Async low voltage conversion
2. Delay insensitive cell library development
3. Optimization
4. Async DFT Scan Insertion at operational voltage
5. Sync to Async Formal Verification

(2) EtaCore의 Always-on Paradigm

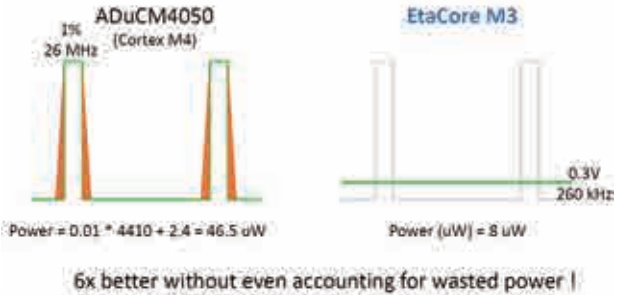
EtaCore는 active/sleep 또는 turn-on/off 모드라는 기존 개념을 쓰기보다는 항상 온 상태를 저전압으로 유지하는 Always-on 전략을 사용한다. 〈그림 19〉와 같이 저전력을 위해서 프로세서의 turn-on 시간이 시간을 줄이고 주파수를 높일 경우에 turn-on 시간의 전체 시간의



(a) 동기회로를 NCL 비동기회로로 변환

(b) DIAL 설계 과정

〈그림 18〉 DIAL 설계 방법



〈그림 19〉 EtaCore의 Always-on 동작

1%임에도 불구하고, turn-on/off 동안의 전력소비가 크게 된다. 뿐만 아니라, turn-on 시간을 줄이기 위한 높은 주파수는 전압 스케일링(scaling)에 한계를 가지게 되고, 세밀한 PLL(Phase- Locked Loop)을 요구하게 된다. EtaCore는 always-on 동작에서 전력을 최소화하기 위해서 deep sub-threshold 전압을 사용하고 있다. 기존의 동기식에서 deep sub-threshold 영역에서의 동작의 PVT(process, voltage, temperature)의 변이의 영향 때문에 순차회로에서는 사용이 어렵다. 하지만, EtaCore는 비동기 방식의 NCL를 사용함으로써 deep sub-threshold 영역에서도 논리적인 문제가 없이 회로가 작동하게 되는 것이다[18-19].

Ⅳ. 결 론

로이히(Loihi) 칩이 2019년까지 1,000억 개의 시냅스를 탑재할 것이며 생쥐 수준의 두뇌 복잡성과 같은 수준을 목표로 할 것이라고 인텔에서 발표한 것과 같이 아직 갈 길이 멀고, 인간 뇌를 모방한 뉴로모픽 발전에는 소자, 알고리즘, 아키텍처 등 해결해야할 여러 문제들이 있다. 그 중에서 뉴로모픽 칩 설계에서의 비동기 설계 방식도 하나의 연구일 것이다. 왜냐하면, 우리의 두뇌는 정보처리와 에너지 소비 사이에 균형을 맞추면서 진화해 왔듯이 컴퓨팅 및 정보 처리의 비동기성은 뉴로모픽 시스템에서 이러한 균형을 가능하게 하는 핵심 원리 중 하나이기 때문이다. 특히 엣지 컴퓨팅 환경 하에서 비동기 방식을 사용한 뉴로모픽 프로세서는 초저전력의 효율적인 정보 처리를 가능하게 할 것이다. 본 고에서는 초저전력을 요구하는 엣지 컴퓨팅 환경 하에서 뉴로모픽 비동기 프로세서 개발에 대한 필요성과 예제를 소개해 보았다. 한국을 비롯한 세계 각국에서 뉴로모픽 프로세서에 대한 연구가 크게 이루어지고 있고, 여러 회사들이 새로운 뉴로모픽 칩을 발표하고 있다. 이런 상황에서 엣지 디바이스를 위한 초저전력과 고신뢰도의 뉴로모픽 칩에 적합한 새로운 비동기 방식의 뉴로모픽 기술 개발에 대한 연구와 지원이 확대되기를 기대한다.

참고문헌

[1] N. Abbas, Y. Zhanag, A. Taherkordi, T. Skeie, "Mobile Edge Computing: A Survey", IEEE INTERNET OF THINGS JOURNAL, Vol. 5, No. 1, pp. 450–465, Feb. 2018

[2] H. Li, K. Ota, M. Dong, "Learning IoT in Edge: Deep Learning for the Internet of Things with Edge Computing', IEEE Network, Vol. 32, No. 1, pp. 96–101, Feb. 2018.

[3] G. Volanis, A. Antonopoulos, Y. Makris, "Toward Silicon–Based Cognitive Neuro– morphic ICs—A Survey", IEEE Design & Test, Vol. 33, No. 3, pp. 91–102, June 2016.

[4] A. Basu, J. Acharya, T. Karnik, H. Liu, H. Li, J. Seo, C. Song, "Low–Power, Adaptive Neuromorphic Systems: Recent Progress and Future Directions," IEEE Journal on Emerging and Selected Topics in Circuits and Systems, Vol. 8, No. 1, pp. 6–27, March 2018.

[5] "Intel's New Self–Learning Chip Promises to Accelerate Artificial Intelligence", Intel Newsroom, https://newsroom.intel.com /editorials/intels–new–self–learning –chip–promises–accelerate–artificial–intelligence/

[6] Huajun Chi, Sangman Kim, and Jusung Park, "Mixed Dual–rail Data Encoding Method Proposal and Verification for Low Power Asynchronous System Design," Journal of IEEK, Vol 51, No.7, pp. 66–102, 2014.

[7] Myeong–Hoon Oh, "Design of QDI Model Based Encoder/Decoder Circuits for Low Delay–Power Product Data Transfers in GALS Systems," Journal of IEEK (SD), Vol 43, No.1, pp. 27–37, 2006.

[8] P. A. Beerel, R. O. Ozdag and M. Ferretti, "A Designer's Guide to Asynchronous VLSI", Cambridge University Press, 2010.

[9] Scott C. Smith, Jia Di, "Designing Asynchronous Circuits using NULL Convention Logic (NCL)," Morgan & Claypool Publishers, 2009.

[10] F. A. Parsan, W. K. Al–Assadi, S. C. Smith, "Gate Mapping Automation for Asynchronous NULL Convention Logic Circuits," IEEE Trans. on VLSI Systems, Vol 22, Issue 1, pp.99–112, Jan. 2014.

[11] M. Davies, N. Srinivasa, T. Lin, G. Chinya, Y. Cao, S. H. Choday, G. Dimou, et. al., "Loihi: A Neuromorphic Manycore Processor with On–Chip Learning," IEEE Micro, Vol. 38, No. 1, pp. 82–99, Jan./Feb. 2018.

[12] S. Moradi, N. Qiao, F. Stefanini, G. Indiveri, "A Scalable Multicore Architecture With Heterogeneous Memory Structures for Dynamic Neuromorphic Asynchronous Processors (DYNAPs)," IEEE Transactions on Biomedical Circuits and Systems, Vol. 12, No. 1, pp. 106–122, Feb. 2018.

[13] aiCTX, https://ai–ctx.com

[14] Y. LeCun, Y. Bengio, and G. Hinton, "Deep learning," Nature, vol. 521, no. 7553, pp. 436–444, 2015.

[15] B. V. Benjamin, P. Gao, E. McQuinn, S. Choudhary, A. R.

Chandrasekaran, J. Bussat, R. Alvarez-Icaza, J. Arthur, P. Merolla, and K. Boahen, "Neurogrid: A Mixed-analog-digital Multichip System for Large-scale Neural Simulations," Proceedings of the IEEE, vol. 102, no. 5, pp. 699-716, 2014.

[16] S. Moradi, N. Qiao, F. Stefanini and G. Indiveri, "A Scalable Multicorearchitecture with Heterogeneous Memory Structures for Dynamic Neuromorphic Asynchronous Processors (DYNAPs)," IEEE Transaction Biomedical Circuits and Systems, 2017.

[17] E. Chicca, F. Stefanini, C. Bartolozzi, and G. Indiveri, "Neuromorphic Electronic Circuits for Building Autonomous Cognitive Systems," Proceedings of the IEEE, vol. 102, no. 9, pp. 1367-1388, 9 2014.

[18] Eta Compute, "https://etacompute.com"

[19] "Self-timed ARM M3 Microcontroller for Energy Harvested Applications," HOTCHIPS 2017 Archives, "https://www.hotchips.org/archives/2010s/hc29/"

이진경

- 2012년 6월 연변대학교 공과대학 통신공학과 학사
- 2014년 8월 대구대학교 전자공학과 석사
- 2014년 9월~현재 대구대학교 전자공학과 박사과정

〈관심분야〉
SoC Design, Neuromorphic processor, Asynchronous circuit, Cryptography processor

김경기

- 1995년 8월 영남대학교 공과대학 전자공학과 학사
- 1997년 8월 영남대학교 전자공학과 석사
- 1999년 2월 서강대학교 컴퓨터학과 박사과정
- 2008년 1월 Northeastern University(Boston) 박사
- 2008년 1월~2009년 2월 미국 SUN Microsystems 연구원
- 2009년 2월~2010년 2월 미국 IIT 연구원
- 2010년 2월~현재 대구대학교 전자공학과 부교수
- 2017년 4월 ~현재 IEEE CASS 대구챕터 회장

〈관심분야〉
SoC Design, Neuromorphic processor, Asynchronous circuit, Cryptography processor, CAD

THE INSTITUTE OF
ELECTRONICS AND
INFORMATION ENGINEERS

논문지 논문목차

전자공학회 논문지 제 55권 7호 발행

통신 분야

[통신]

• FBMC-QAM 시스템에서의 부반송파 인덱스 변조 기법
이태현, 박휘성, 유정호, 박민호, 한철희, 이충용

[마이크로파 및 전파]

• 위상 배열 추적 안테나 시스템의 추적 방법에 관한 연구
정진우, 임영석

반도체 분야

[SoC 설계]

• 동적 문턱전압 MOSFET를 사용한 새로운 저전압 저전력 셀프 캐스코드 구조의 설계 및 응용
한석붕, 고진환, 송한정, 김강철

컴퓨터 분야

[인공지능, 신경망 및 퍼지시스템]

• 기계 학습 및 딥러닝 알고리즘을 사용한 스마트 수도미터 시스템에서의 물 사용량 데이터 분석
최준혁, 김지범

• YOLO 검출기를 이용한 한자의 강건한 위치 검출을 위한 학습자료 자동 생성
이장원, 장길진

[융합 컴퓨팅]

• 가우시안 혼합모델과 경사도 방법을 이용한 효과적인 감정분류에 대한 연구
한의환, 차형태

신호처리 분야

[영상 신호처리]

• 딥러닝 기반 소형 물체 검출 기법
최준호, 한태영, 이승현, 송병철

[음향 및 신호처리]

• 좌표 변환을 이용한 강인한 음원 추적 시스템
최지수, 이현석, 박규식

시스템 및 제어 분야

[제어계측]

• 열전대열 적외선 센서 기반 인체 감지 거리가 확장된 판정 모듈 설계
강건일, 남상원

• 철도차량 궤도 분기기 밀착상태 측정을 위한 알고리즘 연구
박주훈, 김정연, 김희식

• 경유 내 불순물 함유량 측정을 위한 마이크로스트립 패치 센서
정윤상, 이기배, 이종현

[국방정보 및 제어]

• 지능형 유도 탄약의 신뢰성 향상을 위한 항법센서 고장탐지 및 대응기법
신승제, 김환우

산업전자 분야

[신호처리 및 시스템]

• 알칼리전해조의 역 펄스를 이용한 스케일 제거
권윤중

• RC4 하드웨어 설계를 위한 모듈로 연산 기법
이규희

국내외 학술행사 안내

국 · 내외에서 개최되는 각종 학술대회/전시회를 소개합니다.
게재를 희망하시는 분은 간략한 학술대회 정보를 이메일로 보내주시면 게재하겠습니다.
연락처: edit@theieie.org

〉 2018년 8월

일 자	학술대회명	개최장소	홈페이지/연락처
08. 01.-08. 04.	2018 Progress in Electromagnetics Research Symposium (PIERS-Toyama)	Toyama City, Japan	www.piers.org/piers2018Toyama
08. 02.-08. 04.	2018 2nd International Conference on Data and Information Sciences (ICDISs)	Ghaziabad, Norway	www.icdis.info/
08. 05.-08. 08.	2018 IEEE Asia-Pacific Conference on Antennas and Propagation (APCAP)	Heritage Hotel Auckand, New Zealand	www.apcap2018.org/
08. 05.-08. 08.	2018 IEEE 61st International Midwest Symposium on Circuits and Systems (MWSCAS)	Caesar Windsor, ON, Canada	www.mwscas2018.org/
08. 05.-08. 08.	2018 IEEE International Conference on Mechatronics and Automation (ICMA)	Sheraton Changchun Jingyuetan Hotel, Changchun, Jilin, China	2018.ieee-icma.org/
08. 05.-08. 10.	2018 IEEE Power & Energy Society General Meeting (PESGM)	Oregon Convention Center, Portland, OR, USA	TBD
08. 06.-08. 09.	2018 7th International Conference on Agro-geoinformatics (Agro-geoinformatics)	Zhejiang University, Hangzhou, China	agro-geoinformatics.org
08. 06.-08. 08.	2018 IEEE International Symposium on Safety, Security, and Rescue Robotics (SSRR)	University of Pennyslvania, PA, USA	ssrr2018.org
08. 07.-08. 09.	2018 International Conference on Data Science and Engineering (ICDSE)	Kochi, India	icdse.cusat.ac.in
08. 07.-08. 08.	2018 4th International Conference on Science and Technology (ICST)	Eastparc Hotel, Yogyakarta, Indonesia	icst.ugm.ac.id/2018/
08. 08.-08. 10.	2018 IEEE XXV International Conference on Electronics, Electrical Engineering and Computing (INTERCON)	Universidad Nacional Mayor de San Marcos, Lima, Peru	www.intercon.org.pe
08. 08.-08. 10.	2018 IEEE 29th Magnetic Recording Conference (TMRC)	Western Digital Milpitas Campus, Milpitas, CA, USA	tmrc2018.ucsd.edu
08. 08.-08. 11.	2018 13th International Conference on Computer Science & Education (ICCSE)	Informatics Institute of Technology, Sri Lanka	http://www.ieee-iccse.org/
08. 08.-08. 11.	2018 19th International Conference on Electronic Packaging Technology (ICEPT)	TBD, Shanghai, China	www.icept.org/
08. 10.-08. 12.	2018 IEEE CSAA Guidance, Navigation and Control Conference (GNCC)	Xiamen, China	gncc.buaa.edu.cn/
08. 12.-08. 17.	2018 IEEE Advanced Accelerator Concepts Workshop (AAC)	Beaver Run Resort and Conference Center, Breckenridge, CO, USA	http://aac2018.org
08. 12.-08. 16.	2018 14th IEEE International Conference on Signal Processing (ICSP)	Beijing Taiyangdao Hotel, Beijing, China	icsp-ieee.org
08. 12.-08. 14.	2018 International Conference on Computer, Control, Electrical, and Electronics Engineering (ICCCEEE)	Corinthia Hotel, Khartoum, Sudan	http://conferences.uofg.edu.sd/index.php/ICCCEEE/2018
08. 13.-08. 14.	2018 IEEE Distributed Computing, VLSI, Electrical Circuits and Robotics (DISCOVER)	Mangalore Institute of Technology and Engineering (MITE), Karnataka, India	www.ieee-discover.org/
08. 13.-08. 14.	2018 International Conference on Intelligent and Advanced System (ICIAS)	Kuala Lumpur Convention Centre (KLCC), Malaysia	estcon.utp.edu.my/icias/
08. 13.-08. 17.	2018 IEEE International Conference on Manipulation, Manufacturing and Measurement on the Nanoscale (3M-NANO)	Deefly Zhejiang Hotel, Hangzhou, China	www.3m-nano.org/2018/main/index.asp
08. 15.-08. 17.	2018 International Conference on Computing and Network Communications (CoCoNet)	Nazarbayev University, Astana, Kazakhstan	www.coconet-conference.org/2018/

일 자	학술대회명	개최장소	홈페이지/연락처
08. 15.-08. 18.	2018 Asia-Pacific Conference on Plasma and Terahertz Science (APCOPTS)	Xian Elegant Oriental Hotel, Xian City, China	tps.xait.cc
08. 15.-08. 17.	2018 International Conference on Sensing,Diagnostics, Prognostics, and Control (SDPC)	TBD, xi'an, China	www.sdpcconf.org/
08. 15.-08. 17.	2018 IEEE Games, Entertainment, Media Conference (GEM)	University of Ireland Galway, Ireland	sites.ieee.org/ieeegem/
08. 15.-08. 17.	2018 1st IEEE International Conference on Hot Information-Centric Networking (HotICN)	Shenzhen, China	www.hoticn.com
08. 16.-08. 18.	2018 Fourth International Conference on Computing Communication Control and Automation (ICCUBEA)	Pimpri Chinchwad College of Engineering, Pune, India	www.iccubea.com
08. 16.-08. 18.	2018 IEEE/CIC International Conference on Communications in China (ICCC)	Beijing, China	iccc2018.ieee-iccc.org
08. 19.-08. 21.	2018 IEEE Hot Chips 30 Symposium (HCS)	Flint Center for the Performing Arts, CA, USA	www.hotchips.org/
08. 19.-08. 22.	2018 18th International Symposium on Antenna Technology and Applied Electromagnetics (ANTEM)	University of Waterloo, ON, Canada	antem.ee.umanitoba.ca
08. 20.-08. 24.	2018 IEEE 14th International Conference on Automation Science and Engineering (CASE)	Technical University of Munich Campus Garching, Germany	www.case2018.org/
08. 20.-08. 24.	2018 24th International Conference on Pattern Recognition (ICPR)	China National Convention Center, Beijing, China	www.icpr2018.org/
08. 20.-08. 24.	2018 IEEE 26th International Requirements Engineering Conference (RE)	Banff Centre, AB, Canada	re18.org/index.html
08. 22.-08. 24.	2018 IEEE 7th International Conference on Adaptive Science & Technology (ICAST)	University of Ghana, Accra, Ghana	ekuada@gimpa.edu.
08. 22.-08. 24.	2018 IEEE Conference on Control Technology and Applications (CCTA)	Scandic Copenhagen, Denmark	jakob@es.aau.
08. 22.-08. 25.	2018 Eleventh International Conference on Ubi-Media Computing (Ubi-Media)	Nanjing Normal University, China	Ubimedia2018.com
08. 22.-08. 24.	2018 Wearable Robotics Association Conference Asia (WearRAcon Asia)	Sheraton Grand Hangzhou Wetland Park Resort, Zhejiang , China	www.wearablerobotics.com
08. 22.-08. 24.	2018 International Conference on Research in Intelligent and Computing in Engineering (RICE)	Universidad Don Bosco, Soyapango, El Salvador	www.riceconference.in/
08. 22.-08. 24.	2018 IEEE Research and Applications of Photonics In Defense Conference (RAPID)	Hilton Sandestin Beach Golf Resort & Spa, FL, USA	ieee-rapid.org/
08. 26.-08. 29.	2018 7th IEEE International Conference on Biomedical Robotics and Biomechatronics (Biorob)	University of Twente, Netherlands	www.ieeebiorob2018.org
08. 26.-08. 30.	2018 IEEE 18th International Power Electronics and Motion Control Conference (PEMC)	Budapest, Hungary	www.IEEE-PEMC2018.org
08. 27.-08. 31.	2018 31st Symposium on Integrated Circuits and Systems Design (SBCCI)	DALL'ONDER GRANDE HOTEL, Bento Gonçalves, Brazil	wp.ufpel.edu.br/chipinthepampa2018
08. 27.-08. 30.	2018 IEEE 88th Vehicular Technology Conference (VTC-Fall)	Chicago Hilton, IL, USA	http://www.ieeevtc.org/vtc2018fall/
08. 27.-08. 31.	2018 International Symposium on Electromagnetic Compatibility - EMC EUROPE	University of Applied Science, Amsterdam, Netherlands	www.emceurope.eu
08. 27.-08. 30.	2018 23rd International Conference on Methods & Models in Automation & Robotics (MMAR)	Amber Baltic Hotel, Miedzyzdroje, Poland	www.mmar.edu.pl
08. 27.-08. 30.	2018 IEEE Vehicle Power and Propulsion Conference (VPPC)	Chicago Hilton, IL, USA	rckeele@ou.edu
08. 27.-09. 01.	2018 12th International Congress on Artificial Materials for Novel Wave Phenomena (Metamaterials)	Aalto University campus in Otaniemi, Espoo, Finland	http://congress2018.metamorphose-vi.org/
08. 27.-08. 30.	2018 International Conference on Radar (RADAR)	Brisbane Convention & Exhibition Centre, Brisbane, Australia	radar2018.org
08. 28.-08. 31.	2018 15th International Symposium on Wireless Communication Systems (ISWCS)	ISCTE - INSTITUTO UNIVERSITÁRIO DE LISBOA, Portugal	iswcs2018.org
08. 28.-08. 31.	2018 IEEE/ACM International Conference on Advances in Social Networks Analysis and Mining (ASONAM)	Barcelona, Spain	asonam.cpsc.ucalgary.ca/2018/
08. 29.-08. 31.	2018 7th International Conference on Reliability, Infocom Technologies and Optimization (Trends and Future Directions) (ICRITO)	Amity University Uttar Pradesh, Noida, India	amity.edu/aiit/icrito2018/

일 자	학술대회명	개최장소	홈페이지/연락처
〉〉 2018년 9월			
09. 02.-09. 05.	2018 IEEE 8th International Conference on Consumer Electronics - Berlin	Berlin, Germany	http://www.icce-berlin.org/
09. 02 - 09. 07.	2018 34th International Conference on Lightning Protection (ICLP)	Rzeszow, Poland	http://iclp2018.org/
09. 03.-09. 06.	ESSCIRC 2018 - IEEE 44th European Solid State Circuits Conference (ESSCIRC)	Dresden, Germany	http://www.esscirc-essderc2018.org/
09. 03.-09. 06.	2018 XIII International Conference on Electrical Machines (ICEM)	Ramada Plaza Thraki, Alexandroupoli, Greece	http://www.icem.cc/2018/index.php
09. 03.-09. 07.	2018 IEEE 12th International Conference on Self-Adaptive and Self-Organizing Systems (SASO)	Trento, Italy	http://saso2018.fbk.eu/
09. 03.-09. 07.	2018 30th International Teletraffic Congress (ITC 30)	Vienna, Austria	http://itc30.org/
09. 03.-09. 07.	2018 33rd IEEE/ACM International Conference on Automated Software Engineering (ASE)	Montpellier, France	http://ase2018.com/
09. 03.-09. 07.	2018 26th European Signal Processing Conference (EUSIPCO)	Roma, Italy	http://www.eusipco2018.org/
09. 04.-09. 07.	2018 31st IEEE International System-on-Chip Conference (SOCC)	Crystal City, Virginia, USA	http://ieee-socc.org/
09. 04.-09. 06.	2018 16th International Workshop on Content-Based Multimedia Indexing (CBMI)	La Rochelle, France	http://cbmi2018.univ-lr.fr/
09. 04.-09. 07.	2018 53rd International Universities Power Engineering Conference (UPEC)	Glasgow, United Kingdom	http://www.upec2018.com/
09. 05.-09. 07.	2018 10th International Conference on Virtual Worlds and Games for Serious Applications (VS-Games)	Würzburg, Germany	Würzburg, Germany
09. 06.-09. 07.	2018 13th International Workshop on Semantic and Social Media Adaptation and Personalization (SMAP)	Zaragoza, Spain	http://smap2018.unizar.es/
09. 09.-09. 11.	2018 North American Power Symposium (NAPS)	Fargo, North Dakota, USA	http://www.ndsu.edu/ece/naps_2018/
09. 09.-09. 12.	2018 IEEE 29th Annual International Symposium on Personal, Indoor and Mobile Radio Communications (PIMRC)	Bologna, Italy	http://pimrc2018.ieee-pimrc.org/
09. 09.-09. 14.	2018 43rd International Conference on Infrared, Millimeter, and Terahertz Waves (IRMMW-THz2018)	Nagoya, Japan	http://www.irmmw-thz2018.org/
09. 10.-09. 12.	2018 Forum on specification & Design Languages (FDL)	Garching, Germany	http://www.fdl-conference.org/
09. 10.-09. 12.	2018 International Conference on Smart Energy Systems and Technologies (SEST)	Sevilla, Spain	http://www.sest-conference.com/
09. 10.-09. 12.	2018 12th France-Japan and 10th Europe-Asia Congress on Mechatronics	Tsu, Japan	http://www.tc-iaip.org/mecatronics2018/
09. 10.-09. 13.	2018 IEEE International Conference on Cluster Computing (CLUSTER)	Belfast, United Kingdom	https://cluster2018.github.io/
09. 10.-09. 14.	2018 International Conference on Electromagnetics in Advanced Applications (ICEAA)	Cartagena des Indias, Colombia	http://www.iceaa-offshore.org/
09. 11.-09. 12.	2018 International Conference on Applied Electronics (AE)	Pilsen, Czech Republic	http://www.appel.zcu.cz/
09. 11.-09. 14.	2018 57th Annual Conference of the Society of Instrument and Control Engineers of Japan (SICE)	Nara, Japan	http://www.sice.jp/siceac/sice2018/
09. 12.-09. 14.	2018 IEEE 12th International Symposium on Embedded Multicore/Many-core Systems-on-Chip (MCSoC)	Hanoi, Vietnam	http://www.mcsoc-forum.org/
09. 12.-09. 14.	2018 IEEE International Conference on Vehicular Electronics and Safety (ICVES)	Madrid, Spain	https://www.icves2018.org/
09. 13.-09. 14.	2018 ACM/IEEE International Symposium on Empirical Software Engineering and Measurement (ESEM)	Oulu, Finland	http://eseiw2018.wixsite.com/oulu
09. 13.-09. 15.	2018 IEEE XXVII International Scientific Conference Electronics (ET)	Sozopol, Bulgaria	http://e-university.tu-sofia.bg/e-conf/?konf=24ccccccccc
09. 13.-09. 15.	2018 IEEE 16th International Symposium on Intelligent Systems and Informatics (SISY)	Subotica, Serbia	http://conf.uni-obuda.hu/sisy2018/
09. 14.-09. 17.	2018 IEEE East-West Design & Test Symposium (EWDTS)	Kazan, Russia	http://conf.ewdtest.com/

일 자	학술대회명	개최장소	홈페이지/연락처
09. 16.-09. 22.	2018 20th International Symposium on High-Current Electronics (ISHCE)	Tomsk, Russia	http://efre2018.hcei.tsc.ru/information/conferences/shce.html
09. 16.-09. 19.	2018 IEEE International Semiconductor Laser Conference (ISLC)	Santa Fe, New Mexico, USA	http://ieee-islc.org/
09. 16.-09. 20.	2018 7th Euro-Asian Pulsed Power Conference (EAPPC) and 22nd International Conference on High-Power Particle Beams (BEAMS)	Changsha, China	http://www.eappc-beams2018.org/
09. 16.-09. 21.	2018 22nd International Conference on Ion Implantation Technology (IIT)	Würzburg, Germany	http://www.iit2018.org/
09. 17.-09. 19.	2018 IEEE 23rd International Workshop on Computer Aided Modeling and Design of Communication Links and Networks (CAMAD)	Barcelona, Spain	http://www.ieee-camad.org/
09. 17.-09. 19.	2018 China International Conference on Electricity Distribution (CICED)	Tianjin, China	http://www.ciced2018.org/
09. 17.-09. 20.	2018 IEEE 28th International Workshop on Machine Learning for Signal Processing (MLSP)	Aalborg, Denmark	http://mlsp2018.conwiz.dk/
09. 17.-09. 20.	2018 IEEE AUTOTESTCON	National Harbor (Oxon Hill), Maryland, USA	http://www.autotestcon.com/
09. 17.-09. 20.	2018 Joint IEEE 8th International Conference on Development and Learning and Epigenetic Robotics (ICDL-EpiRob)	Tokyo, Japan	http://www.icdl-epirob.org/
09. 17.-09. 21.	2018 5th ACM International Conference on Nanoscale Computing and Communication (NanoCom)	Reykjavik, Iceland	http://nanocom.acm.org/nanocom2018/
09. 17.-09. 21.	2018 20th European Conference on Power Electronics and Applications (EPE'18 ECCE Europe)	Riga, Latvia	http://www.epe2018.com/
09. 18.-09. 21.	2018 7th Electronic System-Integration Technology Conference (ESTC)	Dresden, Germany	http://www.estc-conference.net/
09. 19.-09. 21.	2018 International Symposium on Computers in Education (SIIE)	Jerez (Cadiz), Spain	http://siie2018.adie.es/
09. 19.-09. 22.	2018 International Conference on Advances in Computing, Communications and Informatics (ICACCI)	Bangalore, India	http://icacci-conference.org/2018/
09. 22.-09. 23.	2018 International Workshop on Big Geospatial Data and Data Science (BGDDS)	Wuhan, China	http://geos.whu.edu.cn/bigdataconf/
09. 23.-09. 26.	2018 Condition Monitoring and Diagnosis (CMD)	Perth, Australia	http://cmd2018.com.au/
09. 23.-09. 27.	2018 IEEE/AIAA 37th Digital Avionics Systems Conference (DASC)	London, United Kingdom	http://dasconline.org/
09. 23.-09. 27.	2018 IEEE Energy Conversion Congress and Exposition (ECCE)	Portland, Oregon, USA	http://www.ieee-ecce.org/
09. 23.-09. 27.	2018 European Conference on Optical Communication (ECOC)	Rome, Italy	http://www.ecoc2018.org/
09. 23.-09. 28.	2018 28th International Symposium on Discharges and Electrical Insulation in Vacuum (ISDEIV)	Greifswald, Germany	http://www.isdeiv2018.org/
09. 23.-09. 29.	2018 IEEE International Conference on Software Maintenance and Evolution (ICSME)	Madrid, Spain	http://conferences.computer.org/icsm/
09. 24.-09. 26.	2018 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD)	Austin, Texas, USA	http://www.sispad2018.org/
09. 24.-09. 26.	2018 Thirteenth International Conference on Digital Information Management (ICDIM)	Berlin, Germany	http://www.icdim.org/
09. 24.-09. 26.	2018 IEEE Petroleum and Chemical Industry Technical Conference (PCIC)	Cincinnati, Ohio, USA	http://ewh.ieee.org/soc/ias/pcic/
09. 24.-09. 26.	2018 5th International Symposium on Environment-Friendly Energies and Applications (EFEA)	Rome, Italy	http://soe.northumbria.ac.uk/efea2018/
09. 24.-09. 27.	2018 International Conference on Indoor Positioning and Indoor Navigation (IPIN)	Nantes, France	http://ipin2018.ifsttar.fr/
09. 25.-09. 27.	2018 IEEE 26th International Conference on Network Protocols (ICNP)	Cambridge, United Kingdom	http://www.ieee-icnp.org/
09. 25.-09. 28.	2018 IEEE 26th International Symposium on Modeling, Analysis, and Simulation of Computer and Telecommunication Systems (MASCOTS)	Milwaukee, Wisconsin, USA	http://mascots2017.cs.ucalgary.ca/
09. 26.-09. 28.	2018 IEEE 9th International Workshop on Applied Measurements for Power Systems (AMPS)	Bologna, Italy	http://amps2018.ieee-ims.org/

일 자	학술대회명	개최장소	홈페이지/연락처
09. 26.-09. 28.	2018 International Conference of the Biometrics Special Interest Group (BIOSIG)	Darmstadt, Germany	http://www.biosig.de/biosig-2018
09. 26.-09. 28.	2018 First International Conference on Artificial Intelligence for Industries (AI4I)	Laguna Hills, California, USA	http://www.ai4i.org/
09. 26.-09. 28.	2018 IEEE International Conference on RFID Technology & Application (RFID-TA)	Macau, Macao	http://2018.ieee-rfid-ta.org/
09. 26.-09. 28.	2018 24rd International Workshop on Thermal Investigations of ICs and Systems (THERMINIC)	Stockholm, Sweden	http://www.therminic2018.eu/
09. 26.-09. 28.	2018 IEEE/ACM International Conference on Connected Health: Applications, Systems and Engineering Technologies (CHASE)	Washington, District of Columbia, USA	http://conferences.computer.org/chase2018/
09. 28.-09. 29.	2018 International Conference on Computing, Power and Communication Technologies (GUCON)	Greater Noida, Uttar Pradesh, India	http://gucon.org/
09. 30.-10. 02.	2018 IEEE Cybersecurity Development (SecDev)	Cambridge, Massachusetts, USA	http://secdev.ieee.org/
09. 30.-10. 02.	2018 IEEE International Symposium on Workload Characterization (IISWC)	Raleigh, North Carolina, USA	http://www.iiswc.org/iiswc2018/index.html
09. 30.-10. 04.	2018 IEEE Photonics Conference (IPC)	Reston, Virginia, USA	http://ieee-ipc.org/
09. 30.-10. 05.	2018 IEEE International Symposium on Precision Clock Synchronization for Measurement,Control, and Communication (ISPCS)	Geneva, Switzerland	http://2017.ispcs.org/
09. 30.-10. 05.	2018 Embedded Systems Week (ESWeek)	Torino, Italy	http://www.esweek.org/

〉〉 2018년 10월

10. 01.-10. 02.	2018 Sixth International Conference on Enterprise Systems (ES)	Limassol, Cyprus	http://www.cyprusconferences.org/es2018/
10. 01.-10. 03.	2018 Eleventh International Conference "Management of large-scale system development" (MLSD)	Moscow, Russia	http://mlsd2018.ipu.ru/
10. 01.-10. 03.	2018 IEEE International Systems Engineering Symposium (ISSE)	Rome, Italy	http://www.ieeesystemscouncil.org/
10. 01.-10. 03.	2018 Open Innovations (OI)	South Africa	http://www.africaopen.org/
10. 01.-10. 04.	2018 IEEE 43rd Conference on Local Computer Networks (LCN)	Chicago, Illinois, USA	http://www.ieeelcn.org/
10. 01.-10. 04.	2018 IEEE Symposium on Visual Languages and Human-Centric Computing (VL/HCC)	Lisbon, Portugal	https://vlhcc18.github.io/
10. 01.-10. 05.	2018 IEEE/RSJ International Conference on Intelligent Robots and Systems (IROS)	Madrid, Spain	http://www.iros2018.org/
10. 02.-10. 04.	2018 2nd International Conference On Quran-Hadith, Information Technology and Media: Challenges and Opportunities (ICONQUHAS)	Bandung, Indonesia	http://iconquhas.com/
10. 02.-10. 05.	2018 IEEE 37th Symposium on Reliable Distributed Systems (SRDS)	Salvador, Brazil	http://www.lasid.ufba.br/srds2018/
10. 02.-10. 06.	2018 XIV International Scientific-Technical Conference on Actual Problems of Electronics Instrument Engineering (APEIE)	Novosibirsk, Russia	http://apeie.conf.nstu.ru/apeie2018/
10. 03.-10. 04.	2018 International Conference on Applied Engineering (ICAE)	Batam, Indonesia	http://icae.polibatam.ac.id/
10. 03.-10. 04.	2018 International Conference on Promising Electronic Technologies (ICPET)	Deir El-Balah, Palestine	http://www.icpet.net/
10. 03.-10. 05.	2018 AEIT International Annual Conference	Bari, Italy	http://convegni.aeit.it/AEIT2018
10. 03.-10. 05.	2018 Congreso Internacional de Innovación y Tendencias en Ingeniería (CONIITI)	Bogota, Colombia	http://www.coniiti.com/
10. 03.-10. 05.	2018 International Conference on Automation and Computational Engineering (ICACE)	Greater Noida, India	http://www.amity.edu/icace
10. 03.-10. 06.	2018 IEEE Frontiers in Education Conference (FIE)	San Jose, California, USA	http://fie-conference.org/
10. 04.-10. 05.	2018 12th International Conference on Telecommunication Systems, Services, and Applications (TSSA)	Bandar Lampung, Indonesia	http://tssa-conference.org/2018/

일 자	학술대회명	개최장소	홈페이지/연락처
10. 04.-10. 05.	2018 Twelfth IEEE/ACM International Symposium on Networks-on-Chip (NOCS)	Torino, Italy	http://www.nocs2018.conf.kth.se/
10. 04.-10. 06.	2018 International Ural Conference on Green Energy (UralCon)	Chelyabinsk, Russia	http://uralcon.susu.ru/index-eng.html
10. 04.-10. 06.	2018 International Conference on Applied and Theoretical Electricity (ICATE)	Craiova, Romania	http://www.elth.ucv.ro/icate
10. 05.-10. 08.	2018 Eleventh International Conference on Mobile Computing and Ubiquitous Network (ICMU)	Auckland, New Zealand	http://www.icmu.org/icmu2018/
10. 07.-10. 09.	2018 IEEE 59th Annual Symposium on Foundations of Computer Science (FOCS)	Paris, France	http://ieee-focs.org/
10. 07.-10. 10.	2018 25th IEEE International Conference on Image Processing (ICIP)	Athens, Greece	http://2018.ieeeicip.org/
10. 07.-10. 10.	2018 IEEE PES Asia-Pacific Power and Energy Engineering Conference (APPEEC)	Kota Kinabalu, Malaysia	http://ites.ieee.org/appeec-2018/
10. 07.-10. 10.	2018 IEEE International Conference on Systems, Man, and Cybernetics (SMC)	Miyazaki, Japan	http://www.smc2018.org/
10. 07.-10. 10.	2018 IEEE 36th International Conference on Computer Design (ICCD)	Orlando, Florida, USA	http://www.iccd-conf.com/Home.html
10. 07.-10. 11.	2018 International Integrated Reliability Workshop (IIRW)	South Lake Tahoe, California, USA	http://www.iirw.org/
10. 08.-10. 10.	2018 IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT)	Chicago, Illinois, USA	http://www.dfts.org/
10. 08.-10. 10.	2018 IEEE-SA Ethernet & IP @ Automotive Technology Day (E&IP@ATD)	London, United Kingdom	http://standards.ieee.org/events/automotive/
10. 08.-10. 10.	2018 16th Biennial Baltic Electronics Conference (BEC)	Tallinn, Estonia	http://www.ttu.ee/bec/
10. 09.-10. 11.	2018 International Conference on Advanced Science and Engineering (ICOASE)	Duhok, Kurdistan Region, Iraq	http://www.icoase.org/
10. 09.-10. 12.	2018 International Scientific-Practical Conference Problems of Infocommunications. Science and Technology (PIC S&T)	Kharkiv, Ukraine	http://picst.org/
10. 09.-10. 12.	2018 Conference on Design and Architectures for Signal and Image Processing (DASIP)	Porto, Portugal	http://www.fe.up.pt/dasip2018
10. 10.-10. 11.	2018 IEEE Electrical Power and Energy Conference (EPEC)	Toronto, Ontario, Canada	http://epec2018.ieee.ca/
10. 10.-10. 12.	2018 IEEE Workshop on Complexity in Engineering (COMPENG)	Florence, Italy	http://compeng2018.ieeesezioneitalia.it/
10. 10.-10. 12.	2018 3rd International Conference on Contemporary Computing and Informatics (IC3I)	Gurgaon, India	http://ic3i.org/
10. 10.-10. 12.	2018 New Trends in Signal Processing (NTSP)	Liptovský Mikuláš, Slovakia	http://ntsp2018.aos.sk/
10. 10.-10. 12.	2018 International Conference on Smart Systems and Technologies (SST)	Osijek, Croatia	http://sst-conference.org/
10. 10.-10. 12.	2018 China International SAR Symposium (CISS)	Shanghai, China	http://ciss2018.csp.escience.cn/
10. 12.-10. 15.	2018 IEEE International Conference on Smart Materials and Spectroscopy (SMS)	Hammamet, Tunisia	http://sms.ieee.tn/
10. 14.-10. 17.	2018 7th International Conference on Renewable Energy Research and Applications (ICRERA)	Paris, France	http://www.icrera.org/
10. 14.-10. 17.	2018 IEEE 27th Conference on Electrical Performance of Electronic Packaging and Systems (EPEPS)	San Jose, California, USA	http://epeps.org/
10. 15.-10. 16.	2018 3rd International Conference on Communication and Electronics Systems (ICCES)	Coimbatore, India	http://icoecs.org/index.html
10. 15.-10. 17.	2018 14th International Conference on Wireless and Mobile Computing, Networking and Communications (WiMob)	Limassol, Cyprus	http://wimob.org/wimob2018
10. 15.-10. 17.	2018 IEEE 13th Nanotechnology Materials and Devices Conference (NMDC)	Portland, Oregon, USA	http://ieeenmdc.org/nmdc-2018
10. 15.-10. 18.	2018 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S)	Burlingame, California, USA	http://s3sconference.org/
10. 15.-10. 18.	2018 IEEE International Conference on Imaging Systems and Techniques (IST)	Krakow, Poland	http://ist2018.ieee-ims.org/

일 자	학술대회명	개최장소	홈페이지/연락처
10. 15.-10. 18.	2018 IEEE Radio and Antenna Days of the Indian Ocean (RADIO)	Mauritius	http://www.radiosociety.org/radio2018
10. 15.-10. 19.	2018 IEEE Third Ecuador Technical Chapters Meeting (ETCM)	Cuenca, Ecuador	http://sites.ieee.org/etcm-2018/
10. 16.-10. 17.	2018 2nd International Conference on Electrical Engineering and Informatics (ICon EEI)	Batam, Indonesia	http://iconeei.unri.ac.id/2018/
10. 16.-10. 18.	2018 15th International Symposium on Pervasive Systems, Algorithms and Networks (I-SPAN)	Yichang, China	https://grid.chu.edu.tw/ispan2018/
10. 16.-10. 19.	2018 6th International Conference on Wireless Networks and Mobile Communications (WINCOM)	Marrakesh, Morocco	http://wincom-conf.org/
10. 17.-10. 19.	2018 IEEE 12th International Conference on Application of Information and Communication Technologies (AICT)	Almaty, Kazakhstan	http://www.aict.info/?csc=2018
10. 17.-10. 19.	2018 IEEE Biomedical Circuits and Systems Conference (BioCAS)	Cleveland, Ohio, USA	http://biocas2018.org/
10. 17.-10. 19.	2018 Conference Grid, Cloud & High Performance Computing in Science (ROLCG)	Cluj-Napoca, Romania	http://www.itim-cj.ro/rolcg
10. 17.-10. 19.	2018 IEEE International Conference on Automation/XXIII Congress of the Chilean Association of Automatic Control (ICA-ACCA)	Concepcion, Chile	http://ieee-ica-acca2018.ubiobio.cl/
10. 17.-10. 19.	2018 International Workshop on Power Supply on Chip (PwrSoC)	Hsinchu, Taiwan	http://pwrsocevents.com/
10. 17.-10. 19.	2018 International Conference on Information and Communication Technology Convergence (ICTC)	Jeju Island, Korea (South)	http://ictc2018.org/
10. 17.-10. 19.	2018 12th International Conference on Reliability, Maintainability, and Safety (ICRMS)	Shanghai, China	http://www.sipai.com/icrms2018.html
10. 18.-10. 19.	2018 International Conference and Exposition on Electrical And Power Engineering (EPE)	Iasi, Romania	http://www.epe.tuiasi.ro/2018
10. 18.-10. 20.	2018 IEEE 17th International Symposium on Network Computing and Applications (NCA)	Cambridge, Massachusetts, USA	http://www.ieee-nca.org/2018/
10. 18.-10. 20.	2018 IEEE 4th International Conference on Collaboration and Internet Computing (CIC)	Philadelphia, Pennsylvania, USA	http://ieee-cic.org/
10. 19.-10. 21.	2018 9th International Conference on Information Technology in Medicine and Education (ITME)	Hangzhou, China	http://www.itme.org.cn/
10. 20.-10. 24.	2018 51st Annual IEEE/ACM International Symposium on Microarchitecture (MICRO)	Fukuoka, Japan	http://www.microarch.org/micro51/
10. 21.-10. 23.	IECON 2018 - 44th Annual Conference of the IEEE Industrial Electronics Society	D.C., District of Columbia, USA	http://www.iecon2018.org/
10. 21.-10. 24.	2018 IEEE Conference on Electrical Insulation and Dielectric Phenomena (CEIDP)	Cancun, Mexico	http://ceidp.org/
10. 21.-10. 24.	2018 IEEE International Workshop on Signal Processing Systems (SiPS)	Cape Town, South Africa	http://www.sips2018.org/
10. 22.-10. 25.	2018 IEEE International Ultrasonics Symposium (IUS)	Kobe, Japan	http://www.ieee-uffc.org/main/symposia.asp
10. 22.-10. 25.	2018 International Topical Meeting on Microwave Photonics (MWP)	Toulouse, France	http://mwp2018.org/
10. 23.-10. 24.	2018 4th International Conference on Universal Village (UV)	Boston, Massachusetts, USA	http://universal-village.org/
10. 23.-10. 26.	2018 International Symposium on Antennas and Propagation (ISAP)	Busan, Korea (South)	http://www.isap2018.org/
10. 23.-10. 26.	2018 IV International Conference on Information Technologies in Engineering Education (Inforino)	Moscow, Russia	http://inforino.mpei.ru/
10. 23.-10. 26.	2018 International Conference on Orange Technologies (ICOT)	Nusa Dua, BALI, Indonesia	http://icot2018.ideas-lab.org/
10. 25.-10. 27.	2018 6th International Conference on Control Engineering & Information Technology (CEIT)	Istanbul, Turkey	http://www.ceit2018.yildiz.edu.tr/
10. 25.-10. 27.	2018 IEEE 3rd International Conference on Computing, Communication and Security (ICCCS)	Kathmandu, Nepal	http://www.icccs-conf.in/
10. 25.-10. 27.	2018 IEEE/ACM Symposium on Edge Computing (SEC)	Seattle, Washington, USA	http://acm-ieee-sec.org/2018/

일 자	학술대회명	개최장소	홈페이지/연락처
10. 26.-10. 28.	2018 Fourth International Conference on Advances in Computing, Communication & Automation (ICACCA)	Subang Jaya, Malaysia	http://university.taylors.edu.my/icacca2018
10. 28.-10. 31.	2018 18th Biennial Conference on Electromagnetic Field Computation (CEFC)	Hangzhou, China	http://www.cefc2018.org/
10. 28.-10. 31.	TENCON 2018 - 2018 IEEE Region 10 Conference	Jeju, Korea (South)	http://www.tencon2018.org/
10. 29.-10. 30.	2018 International Electronics Symposium on Engineering Technology and Applications (IES-ETA)	Lombok, Indonesia	http://ies.pens.ac.id/2018/index.php/ies-eta/
10. 29.-10. 31.	2018 IEEE 18th International Conference on Bioinformatics and Bioengineering (BIBE)	Taichung, Taiwan	http://bibe2018.asia.edu.tw/

〉〉 2018년 11월

11. 01.-11. 02.	2018 3rd International Innovative Applications of Computational Intelligence on Power, Energy and Controls with their Impact on Humanity (CIPECH)	Ghaziabad, India	http://www.cipech.org/
11. 01.-11. 02.	2018 4th International Conference on Renewable Energies for Developing Countries (REDEC)	Beirut, Lebanon	http://redeconf.org/
11. 01.-11. 02.	2018 IEEE 21st International Multi-Topic Conference (INMIC)	Karachi, Pakistan	http://inmic.org.pk/
11. 01.-11. 02.	2018 International Conference on Computer, Control, Informatics and its Applications (IC3INA)	Tangerang, Indonesia	http://situs.opi.lipi.go.id/ic3ina2018
11. 01.-11. 02.	2018 International Conference on Health Informatics and Clinical Analytics (IC-HICA)	Kathmandu, Nepal	http://www.c-mrai.org/conferencenepal
11. 01.-11. 03.	2018 10th International Conference on Knowledge and Systems Engineering (KSE)	Ho Chi Minh City, Vietnam	http://kse-conf.org/
11. 01.-11. 03.	2018 IEEE 9th Annual Information Technology, Electronics and Mobile Communication Conference (IEMCON)	Vancouver, British Columbia, Canada	http://ieee-iemcon.org/
11. 01.-11. 03.	2018 IEEE Asia Pacific Conference on Wireless and Mobile (APWiMob)	BALI, Indonesia	http://apwimob.org/
11. 01.-11. 03.	2018 International Symposium on Industrial Electronics (INDEL)	Banja Luka, Bosnia and Herzegovina	http://www.indel.etfbl.net/
11. 02.-11. 04.	2018 5th IEEE Uttar Pradesh Section International Conference on Electrical, Electronics and Computer Engineering (UPCON)	Gorakhpur, India	http://www.mmmut.ac.in/upcon2018
11. 04.-11. 07.	2018 IEEE 2nd International Electrical and Energy Conference (CIEEC)	Beijing, China	http://www.cieec-conf.org/
11. 04.-11. 07.	2018 IEEE International Conference on Intelligent Transportation Systems (ITSC)	Maui, Hawaii, USA	http://www.ieee-itsc2018.org/
11. 04.-11. 07.	2018 International Automatic Control Conference (CACS)	Taoyuan, Taiwan	http://web.ite.mcu.edu.tw/CACS2018/
11. 04.-11. 08.	2018 6th International Symposium on Plant Growth Modeling, Simulation, Visualization and Applications (PMA)	Hefei, China	http://pma2018.csp.escience.cn/dct/page/1
11. 05.-11. 07.	2018 IEEE 30th International Conference on Tools with Artificial Intelligence (ICTAI)	Volos, Greece	http://ictai2018.org/
11. 05.-11. 07.	2018 IEEE Asian Solid-State Circuits Conference (A-SSCC)	Tainan, Taiwan	http://www.a-sscc2018.org/
11. 05.-11. 07.	2018 IEEE Conference on Network Function Virtualization and Software Defined Networks (NFV-SDN)	Verona, Italy	http://nfvsdn2018.ieee-nfvsdn.org/
11. 05.-11. 08.	2018 IEEE/ACM International Conference on Computer-Aided Design (ICCAD)	San Diego, California, USA	http://iccad.com/
11. 05.-11. 09.	2018 International Conference on Numerical Simulation of Optoelectronic Devices (NUSOD)	Hong Kong, China	http://www.nusod.org/2018/
11. 06.-11. 07.	2018 2nd East Indonesia Conference on Computer and Information Technology (EIConCIT)	Makassar, Indonesia	http://www.eiconcit.id/
11. 06.-11. 07.	2018 International Conference on Wind Energy and Applications in Algeria (ICWEAA)	Algiers, Algeria	http://www.cder.dz/ICWEAA
11. 06.-11. 08.	2018 International Conference on Power System Technology (POWERCON)	Guangzhou, China	http://www.%20powercon2018.org/
11. 06.-11. 09.	2018 Asia-Pacific Microwave Conference (APMC)	Kyoto, Japan	http://www.apmc2018.org/

일 자	학술대회명	개최장소	홈페이지/연락처
11. 06.-11. 09.	2018 IEEE/OES Autonomous Underwater Vehicle Workshop (AUV)	Porto, Portugal	http://www.auv2018.lsts.pt/
11. 06.-11. 10.	2018 Latin American Robotic Simposium, 2018 Brazilian Symposium on Robotics (SBR) and 2018 Workshop on Robotics in Education (WRE)	João Pessoa, Brazil	http://www.robotica.org.br/
11. 07.-11. 08.	2018 5th International Conference on Data and Software Engineering (ICoDSE)	Mataram, Lombok, Indonesia	http://icodse.org/
11. 07.-11. 08.	2018 International Conference on Signal Processing and Information Security (ICSPIS)	DUBAI, United Arab Emirates	http://www.ud.ac.ae/conference/
11. 07.-11. 09.	2018 Argentine Conference on Automatic Control (AADECA)	Buenos Aires, Argentina	http://www.aadeca.org/aadeca18/
11. 07.-11. 09.	2018 IEEE 38th Central America and Panama Convention (CONCAPAN XXXVIII)	San Salvador, El Salvador	http://www.concapan2018.org/
11. 07.-11. 09.	2018 IEEE 4th Global Electromagnetic Compatibility Conference (GEMCCON)	Stellenbosch, South Africa	http://www.gemccon2018.emcss.org/
11. 07.-11. 09.	2018 IEEE International Autumn Meeting on Power, Electronics and Computing (ROPEC)	Ixtapa, Mexico	http://ropec.org/
11. 07.-11. 09.	2018 IEEE International Conference on Electrical Systems for Aircraft, Railway, Ship Propulsion and Road Vehicles & International Transportation Electrification Conference (ESARS-ITEC)	Nottingham, United Kingdom	http://www.esars-itec2018.org/
11. 07.-11. 09.	2018 IEEE International Conference on Rebooting Computing (ICRC)	McLean, Virginia, USA	http://icrc.ieee.org/
11. 07.-11. 09.	2018 IEEE Latin American Conference on Computational Intelligence (LA-CCI)	Gudalajara, Mexico	http://la-cci.org/
11. 07.-11. 10.	2018 Eighth International Conference on Image Processing Theory, Tools and Applications (IPTA)	Xi'an, China	http://www.ipta-conference.com/ipta18/
11. 08.-11. 09.	2018 4th International Conference on Electrical, Electronics and System Engineering (ICEESE)	Kuala Lumpur, Malaysia	http://enter.uitm.edu.my/iceese2018/
11. 08.-11. 09.	2018 IEEE International Conference on Artificial Intelligence in Engineering and Technology (IICAIET)	Kota Kinabalu, Malaysia	https://sites.google.com/view/icaiet/home
11. 08.-11. 09.	2018 International Symposium on Electronics and Telecommunications (ISETC)	Timisoara, Romania	http://conference.etc.upt.ro/isetc2018/
11. 08.-11. 10.	2018 9th IEEE Annual Ubiquitous Computing, Electronics & Mobile Communication Conference (UEMCON)	New York City, New York, USA	http://ieee-uemcon.org/
11. 08.-11. 10.	2018 Medical Technologies National Congress (TIPTEKNO)	Magusa, Cyprus	http://www.tiptekno2018.org/
11. 09.-11. 11.	2018 IEEE International Conference on Intelligence and Security Informatics (ISI)	Miami, Florida, USA	http://isi18.azurewebsites.net/
11. 09.-11. 11.	2018 JCCO Joint International Conference on ICT in Education and Training, International Conference on Computing in Arabic, and International Conference on Geocomputing (JCCO: TICET-ICCA-GECO)	Tunisia / Hammamet, Tunisia	http://tmsscontact.wixsite.com/jccoen2018
11. 09.-11. 11.	2018 Ninth International Conference on Intelligent Control and Information Processing (ICICIP)	Wanzhou, China	http://icicip2018.sanxiau.edu.cn/
11. 09.-11. 12.	2018 IEEE Conference on Technologies for Sustainability (SusTech)	Long Beach, California, USA	
11. 09.-11. 17.	2018 IEEE Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC)	Sydney, Australia	http://www.nss-mic.org/
11. 10.-11. 12.	2018 International Conference on Sustainable Information Engineering and Technology (SIET)	Malang, Indonesia	http://siet.ub.ac.id/
11. 12.-11. 13.	2018 IEEE Symposium on Product Compliance Engineering (SPCEB-Boston)	Boston, Massachusetts, USA	http://spce2018.org/
11. 12.-11. 13.	2018 International conference on Computing, Electronic and Electrical Engineering (ICE Cube)	Quetta, Pakistan	http://www.icecubeconference.org/
11. 12.-11. 13.	2018 Loughborough Antennas and Propagation Conference (LAPC)	Loughborough, United Kingdom	http://events.theiet.org/lapc/index.cfm?origin=ieee
11. 12.-11. 14.	2018 24th Asia-Pacific Conference on Communications (APCC)	Ningbo, China	http://apcc2018.org/
11. 12.-11. 14.	2018 IEEE 59th International Scientific Conference on Power and Electrical Engineering of Riga Technical University (RTUCON)	Riga, Latvia	http://www.conference.rtu.lv/

일 자	학술대회명	개최장소	홈페이지/연락처
11. 12.-11. 14.	2018 IEEE Electronic Power Grid (eGrid)	Charleston, South Carolina, USA	http://ieee-et-d.org/
11. 12.-11. 15.	2018 Asia-Pacific Signal and Information Processing Association Annual Summit and Conference (APSIPA ASC)	Honolulu, Hawaii, USA	http://www.apsipa2018.org/
11. 12.-11. 16.	2018 World Engineering Education Forum - Global Engineering Deans Council (WEEF-GEDC)	Albuquerque, New Mexico, USA	http://weef-gedc2018.org/
11. 13.-11. 14.	2018 3rd International Conference on Information Technology, Information System and Electrical Engineering (ICITISEE)	Yogyakarta, Indonesia	http://icitisee.amikompurwokerto.ac.id/
11. 13.-11. 14.	2018 Future Technologies Conference (FTC)	Vancouver, British Columbia, Canada	http://saiconference.com/FTC
11. 13.-11. 14.	2018 IEEE International Symposium on Technology and Society (ISTAS)	Washington DC, District of Columbia, USA	http://technologyandsociety.org/event/2018-ieee-international-symposium-technology-society-istas/
11. 13.-11. 15.	2018 Cyber Resilience Conference (CRC)	Putrajaya, Malaysia	http://www.ftsm.ukm.my/crc2018
11. 13.-11. 15.	2018 Global Smart Industry Conference (GloSIC)	Chelyabinsk, Russia	http://glosic.susu.ru/
11. 13.-11. 15.	2018 IEEE Avionics and Vehicle Fiber-Optics and Photonics Conference (AVFOP)	Portland, Oregon, USA	http://ieee-avfop.org/
11. 13.-11. 15.	2018 Military Communications and Information Systems Conference (MilCIS)	Canberra, Australia	http://www.milcis.com.au/
11. 13.-11. 16.	2018 23rd Conference of Open Innovations Association (FRUCT)	Bologna, Italy	http://www.fruct.org/conference23
11. 14.-11. 15.	2018 IEEE Nanotechnology Symposium (ANTS)	Albany, New York, USA	http://albanynanotechnology.org/
11. 14.-11. 16.	2018 12th Spanish Conference on Electron Devices (CDE)	Salamanca, Spain	http://cde2018.usal.es/
11. 14.-11. 16.	2018 IEEE 10th Latin-American Conference on Communications (LATINCOM)	Guadalajara, Jalisco, Mexico	
11. 14.-11. 16.	2018 IEEE 9th Power, Instrumentation and Measurement Meeting (EPIM)	Salto, Uruguay	http://sites.ieee.org/uruguay
11. 14.-11. 16.	2018 IEEE International Multidisciplinary Conference on Engineering Technology (IMCET)	Beirut, Lebanon	http://www.imcet.org/
11. 14.-11. 17.	2018 International Conference on Fuzzy Theory and Its Applications (iFUZZY)	Daegu, Korea (South)	http://ifuzzy2018.org/
11. 15.-11. 16.	2018 16th International Conference on Emerging eLearning Technologies and Applications (ICETA)	Starý Smokovec, Slovakia	http://www.iceta.sk/
11. 15.-11. 16.	2018 3rd International Conference on Inventive Computation Technologies (ICICT)	Coimbatore, India	http://icicts.com/index.html
11. 15.-11. 17.	2018 IEEE International Conference on Communication, Networks and Satellite (Comnetsat)	Medan, Indonesia	
11. 15.-11. 17.	2018 International Conference In Kyrgyzstan on Wireless and Optical Communications Networks (WOCN2018KG)	Bishkek, Kyrgyzstan	http://www.wocn2018kg.org/
11. 16.-11. 17.	2018 6th Edition of International Conference on Wireless Networks & Embedded Systems (WECON)	Rajpura (near Chandigarh), India	http://www.chitkara.edu.in/wecon/
11. 16.-11. 18.	2018 IEEE International Conference on Advanced Manufacturing (ICAM)	Yunlin, Taiwan	http://2018.icam.tw/
11. 17.-11. 18.	2018 4th International Symposium on Geoinformatics (ISyG)	Malang, Indonesia	http://isyg.filkom.ub.ac.id/
11. 17.-11. 18.	2018 IEEE International Conference on Big Knowledge (ICBK)	Singapore	http://icbk2018.bigke.org/
11. 17.-11. 19.	2018 IEEE 37th International Performance Computing and Communications Conference (IPCCC)	Orlando, Florida, USA	http://www.ipccc.org/
11. 18.-11. 19.	2018 International Conference on Innovations in Information Technology (IIT)	Al Ain, United Arab Emirates	
11. 18.-11. 21.	2018 IEEE Symposium Series on Computational Intelligence (SSCI)	Bangalore, India	http://ieee-ssci2018.org/
11. 19.-11. 21.	2018 9th International Conference on the Network of the Future (NOF)	Poznan, Poland	http://2018.network-of-the-future.org/call.php

일 자	학술대회명	개최장소	홈페이지/연락처
11. 19.-11. 21.	2018 IEEE 23rd International Conference on Digital Signal Processing (DSP)	Shanghai, China	http://dsp2018.org/home.asp
11. 19.-11. 21.	2018 IEEE CPMT Symposium Japan (ICSJ)	Kyoto, Japan	http://www.ieee-csj.org/
11. 20.-11. 21.	2018 IEEE 7th Palestinian International Conference on Electrical and Computer Engineering (PICECE)	Gaza, Palestine	http://picece.iugaza.edu.ps/
11. 20.-11. 22.	2018 IEEE Conference on Big Data and Analytics (ICBDA)	Langkawi Island, Malaysia	http://ieeecomputer.my/icbda2018/
11. 20.-11. 22.	2018 IEEE Conference on Wireless Sensors (ICWiSe)	Langkawi, Malaysia	http://ieeecomputer.my/icwise2018/
11. 20.-11. 23.	2018 New Generation of CAS (NGCAS)	Valletta, Malta	http://www.um.edu.mt/events/ngcas2018
11. 21.-11. 23.	2018 16th International Conference on ICT and Knowledge Engineering (ICT&KE)	Bangkok, Thailand	http://ict-ke.org/
11. 21.-11. 23.	2018 28th International Telecommunication Networks and Applications Conference (ITNAC)	Sydney, Australia	http://www.itnac.org.au/
11. 21.-11. 23.	2018 IEEE International Conference on Technology Management, Operations and Decisions (ICTMOD)	Marrakech, Morocco	http://www.ciems.ma/conference
11. 21.-11. 23.	2018 International Symposium on Advanced Electrical and Communication Technologies (ISAECT)	Rabat, Morocco	http://www.isaect.org/
11. 21.-11. 24.	2018 11th Biomedical Engineering International Conference (BMEiCON)	Chiang Mai, Thailand	http://www.bmeicon.org/bmeicon2018/
11. 21.-11. 24.	2018 International Workshop on Computing, Electromagnetics, and Machine Intelligence (CEMi)	Stellenbosch, South Africa	http://cem18.computing.technology/
11. 22.-11. 23.	2018 Fourth International Conference on Research in Computational Intelligence and Communication Networks (ICRCICN)	Kolkata, India	http://www.icrcicn.in/
11. 22.-11. 25.	2018 3rd International Conference and Workshops on Recent Advances and Innovations in Engineering (ICRAIE)	Jaipur, India	http://icraie.poornima.org/
11. 23.-11. 24.	2018 4th International Conference on Green Technology and Sustainable Development (GTSD)	Ho Chi Minh City, Vietnam	http://gtsd2018.hcmute.edu.vn/
11. 23.-11. 24.	2018 International Conference on System Modeling & Advancement in Research Trends (SMART)	Moradabad, India	http://2018.smartconference.co.in/
11. 23.-11. 25.	2018 IEEE 9th International Conference on Software Engineering and Service Science (ICSESS)	Beijing, China	http://www.icsess.org/
11. 24.-11. 25.	2018 International Conference on Applied Smart Systems (ICASS)	Medea, Algeria	http://www.univ-medea.dz/en/icass2018
11. 24.-11. 26.	2018 8th International Conference on Communication Systems and Network Technologies (CSNT)	Bhopal, India	http://csnt.in/
11. 25.-11. 28.	2018 Global Wireless Summit (GWS)	Chiang Rai, Thailand	http://www.mfu.ac.th/gws2018/
11. 26.-11. 27.	2018 International Conference on Computer Engineering, Network and Intelligent Multimedia (CENIM)	Surabaya, Indonesia	http://cenim.its.ac.id/
11. 26.-11. 27.	2018 International Conference on Signal, Image, Vision and their Applications (SIVA)	Guelma, Algeria	http://www.pimis.net/siva18/
11. 26.-11. 28.	2018 7th European Workshop on Visual Information Processing (EUVIP)	Tampere, Finland	http://www.tut.fi/euvip2018/index.html
11. 26.-11. 28.	2018 IEEE Global Conference on Signal and Information Processing (GlobalSIP)	Anaheim, California, USA	http://www.ieeeglobalsip.org/
11. 26.-11. 28.	2018 IEEE International Forum on Smart Grids for Smart Cities (SG4SC)	Genk, Belgium	http://www.ieeesg4sc.org/
11. 26.-11. 28.	2018 IEEE Student Conference on Research and Development (SCOReD)	Selangor, Malaysia	http://ieeemy.org/scored/
11. 26.-11. 28.	2018 ITU Kaleidoscope: Machine Learning for a 5G Future (ITU K)	Santa Fe, Argentina	
11. 26.-11. 29.	2018 11th International Symposium on Chinese Spoken Language Processing (ISCSLP)	Taipei City, Taiwan	http://www.iscslp2018.org/
11. 27.-11. 28.	2018 IEEE 5th International Conference on Smart Instrumentation, Measurement and Application (ICSIMA)	Bangkok, Thailand	http://icsima.ieeemy-ims.org/18/

일 자	학술대회명	개최장소	홈페이지/연락처
11. 27.-11. 30.	2018 15th IEEE International Conference on Advanced Video and Signal Based Surveillance (AVSS)	Auckland, New Zealand	http://avss2018.org/
11. 27.-11. 30.	2018 IEEE Real-Time Systems Symposium (RTSS)	Nashville, Tennessee, USA	
11. 27.-11. 30.	2018 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS)	Ishigaki, Okinawa, Japan	http://ispacs2018.org/
11. 28.-11. 30.	2018 Congreso Argentino de Ciencias de la Informática y Desarrollos de Investigación (CACIDI)	Ciudad Autónoma de Buenos Aires, Argentina	http://www.unsam.edu.ar/cacidi/
11. 28.-11. 30.	2018 IEEE MTT-S International Microwave and RF Conference (IMaRC)	Kolkata, India	http://imarc-ieee.org/
11. 29.-11. 30.	2018 25th National and 3rd International Iranian Conference on Biomedical Engineering (ICBME)	Qom, Iran	http://en.icbme.ir/
11. 29.-12. 01.	2018 IEEE Women in Engineering (WIE) Forum USA East	White Plains, New York, USA	http://sites.ieee.org/wie-forum-usa-east-2018/
11. 29.-12. 02.	2018 IEEE 10th International Conference on Humanoid, Nanotechnology, Information Technology,Communication and Control, Environment and Management (HNICEM)	Baguio City, Philippines	http://hnicem.com/
11. 29.-12. 07.	2018 IEEE International Electron Devices Meeting (IEDM)	San Francisco, California, USA	http://www.ieee-iedm.org/

특별회원사 및 후원사 명단

회원명	대표자	주 소	전 화	홈페이지
AP 위성통신㈜	류장수	서울시 금천구 가산디지털2로 98 2동 9층	02-2026-7700	http://apsi.co.kr
FCI	한상우	경기도 성남시 분당구 판교로 255번길 35(삼평동) 실리콘파크 B동 7층	031-782-3700	http://www.fci.co.kr
I&C테크놀로지	박창일	경기도 성남시 분당구 판교로 255번길 24 아이앤씨빌딩	031-696-3300	http://www.inctech.co.kr
KT	황창규	경기도 성남시 분당구 정자동 206	031-727-0114	http://www.kt.co.kr
LDT	정재천	충남 천안시 서북구 한들1로 126-33 WE빌딩	041-520-7300	http://www.ldt.co.kr
LG전자	구본준	서울시 영등포구 여의도동 30	02-3777-1114	http://www.lge.co.kr
LIG 넥스원	이효구	서울시 서초구 강남대로 369(서초동, 나라빌딩)	1644-2005	http://www.lignex1.com
RadioPulse	권태휘	경기도 성남시 분당구 대왕판교로 660 유스페이스1A 1106호(삼평동)	070-7113-0975	http://www.radiopulse.co.kr
SK Telecom	장동현	서울특별시 중구 을지로65(을지로2가) SK T-타워	02-2121-2114	http://www.sktelecom.com
SK 하이닉스	박성욱	경기도 이천시 부발읍 아미리 산 136-1	031-630-4114	http://www.skhynix.com
국제종합측기	박재욱	서울특별시 강남구 강남대로 354 (역삼동 831, 혜천빌딩 10F, 12F)	02-553-0901	http://www.msinter.co.kr
나노종합기술원	이재영	대전광역시 유성구 대학로 291 (구성동, 한국과학기술원)	042-366-1500	http://www.nnfc.re.kr
네이버㈜	김상헌	경기도 성남시 분당구 불정로 6 (정자동 그린팩토리)	031-784-2560	http://www.nhncorp.com
넥서스칩스	Douglas M. Lee	서울시 강남구 역삼동 725-57	02-6959-7161	http://www.nexuschips.com
넥스트칩	김경수	경기도 성남시 분당구 판교로 323 벤처포럼빌딩	02-3460-4700	http://www.nextchip.com
㈜넥스파시스템	이상준	서울특별시 성동구 자동차시장1길 18	02-2243-4011	http://www.nexpa.co.kr
누리미디어	최순일	서울시 영등포구 선유로 63, 4층(문래동 6가)	02-710-5300	http://www.nurimedia.co.kr
㈜다빛센스	강영진	경기도 성남시 중원구 사기막골로 124, Skn테크노파크 비즈동 1305	031-776-2511	
다우인큐브	이예구	경기도 용인시 수지구 디지털벨리로 81 (죽전동 디지털스퀘어 2층)	070-8707-2500	http://www.daouincube.com
대구테크노파크	송인섭	대구시 달서구 대천동 891-5	053-602-1803	http://www.mtcc.or.kr
대덕G.D.S	이희준	경기도 안산시 단원구 산단로 63(원시동)	031-8040-8000	http://www.daeduckgds.com
대덕전자	김영재	경기도 시흥시 소망공원로 335 (정왕동)	031-599-8800	http://www.daeduck.com
대성전기	이철우	경기도 안산시 단원구 산단로 31 (원시동, 8-27블럭)	031-494-1141	http://www.dsec.co.kr
(재)대전테크노파크	권선택	대전시 유성구 테크노9로 35 대전테크노파크	042-930-2880	http://www.daejeontp.or.kr
㈜더즈텍	김태진	경기도 안양시 동안구 학의로 292 금강펜테리움IT타워 A동 1061호	031-450-6300	http://www.doestek.co.kr
덴소풍성전자	김경섭	경남 창원시 성산구 외동 853-11	055-600-9227	http://www.dnpe.co.kr
동부하이텍	최창식	경기도 부천시 원미구 수도로 90	032-680-4700	http://www.dongbuhitek.co.kr
동아일렉콤	손성호	경기도 용인시 처인구 양지면 남곡로 16	031-330-5500	http://www.dongahelecomm.co.kr
동운아나텍	김동철	서울시 서초구 서초동 1467-80 아리랑타워 9층	02-3465-8765	http://www.dwanatech.com
㈜디엠티	김홍주	대전광역시 유성구 테크노11로 41-2	042-930-3700	http://www.dmtpcb.co.kr
라온텍	김보은	경기도 성남시 분당구 황새울로360번길 42, 18층 (서현동 AK플라자)	031-786-4600	http://www.raon-tech.com
라이트웍스㈜	서인식	서울 강남구 테헤란로88길 14, 4층 (신도리코빌딩)	031-702-6171	http://www.lightworks.co.kr/
만도	성일모	경기도 성남시 분당구 판교로 255번길 21	02-6244-2114	http://www.mando.com
문화방송	안광한	서울시 마포구 성암로 267	02-789-0011	http://www.imbc.com
삼성전자	김기남, 김현석, 고동진	서울시 서초구 서초2동 1320-10 삼성전자빌딩	1588-3366	http://samsungelectronics.com/kr
삼화콘덴서	황호진	경기도 용인시 처인구 남사면 경기동로 227 (남사면 북리 124)	031-332-6441	http://www.samwha.co.kr
㈜서연전자	조명수	경기도 안산시 단원구 신원로424	031-493-3000	http://www.dae-dong.biz
세미솔루션	이정원	경기도 용인시 기흥구 영덕동 1029 흥덕U타워 지식산업센터 20층 2005호	031-627-5300	http://www.semisolution.com
세원텔레텍	김철동	경기도 안양시 만안구 전파로44번길 53	031-422-0031	http://www.sewon-teletech.co.kr
㈜수호이미지 테크놀로지	김범준	서울시 금천구 가산동 가산디지털1로 233 에이스하이엔드 9차 816호	070-7531-0094	http://www.suhotech.com

회원명	대표자	주 소	전 화	홈페이지
㈜스카이크로스코리아	조영민	경기 수원시 영통구 영통동 980-3 디지털엠파이어빌딩 C동 801호	031-267-1662	http://www.skycross.co.kr
(주)시솔	이우규	서울시 강서구 공항대로 61길 29 서울신기술센터 A동 202호	02-508-5656	http://www.sisoul.co.kr
실리콘마이터스	허 염	경기도 성남시 분당구 대왕판교로 660 유스페이스-1 A동 8층	1670-7665	http://www.siliconmitus.com
실리콘웍스	한대근	대전시 유성구 탑립동 707	042-712-7700	http://www.siliconworks.co.kr
㈜싸인텔레콤	성기빈	서울시 영등포구 경인로 775, 문래동 3가 에이스하이테크시티 1동 119호	02-3439-0033	http://www.signtelecom.com
(주)쏠리드	정준, 이승희	경기도 성남시 분당구 판교역로 220 쏠리드스페이스	031-627-6000	http://www.st.co.kr
㈜씨자인	김정표	경기 성남시 분당구 구미동 185-4 보명프라자	070-4353-5852	http://www.cesign.co.kr
아나패스	이경호	서울시 구로구 구로동 197-12 신세계아이앤씨 디지털센타 7층	02-6922-7400	http://www.anapass.com
아바고테크놀로지스	전성민	서울시 서초구 양재동 215	02-2155-4710	http://www.avagotech.kr
아이닉스	황정현	수원시 영동구 덕영대로 1556번길 16, C동 1004호 (영통동, 디지털엠파이어)	031-204-7333	http://www.eyenix.com
아이디어㈜	황진벽	서울 마포구 연남동 487-366번지 대원빌딩 5층	02-334-3309	http://www.eyedea.co.kr
㈜아이언디바이스	박기태	서울 강남구 신사동 532-9 예영빌딩 402호	02-541-2896	http://www.irondevice.com
㈜아이에이	김동진	서울 송파구 송파대로 22길 5-23 (문정동)	02-3015-1300	http://www.ia-inc.kr
안리쓰코퍼레이션㈜	토루와키나가	경기도 성남시 분당구 삼평동 681번지 H스퀘어 N동 5층 502호	031-696-7750	http://www.anritsu.com
㈜알파스캔 디스플레이	류영렬	서울특별시 강서구 허준로 217 가양테크노타운 202호		http://www.alphascan.co.kr
에디텍	정영교	경기도 성남시 분당구 삼평동 621번지 판교이노벨리 B동 1003호	031-8018-8778	http://www.aditec.co.kr
에스넷시스템㈜	박효대	서울특별시 강남구 선릉로 514 (삼성동) 성원빌딩 10층	02-3469-2994	http://www.snetsystems.co.kr
에스엘	이충곤	경북 경산시 진량읍 신상리 1208-6	053-856-8511	http://www.slworld.com
에이치앤티테크	강임성	대전광역시 유성구 용산동	042-933-7228	http://www.hnt-tech.co.kr
㈜에이투테크	김현균	경기도 성남시 수정구 복정동 685-6 상헌빌딩 3층	031-752-7363	http://www.a2tech.co.kr
엠텍비젼㈜	이성민	경기도 성남시 분당구 판교로 255번길 58 6층 601호	031-627-0114	http://www.mtekvision.co.kr
㈜오픈링크시스템	성재용	광주광역시 서구 치평로 112 정연하이빌 402호	070-5025-0689	http://openlink.kr
우양신소재	윤주영	대구광역시 북구 유통단지로 8길 21	053-383-5287	http://www.iwooyang.com
유라코퍼레이션	엄병윤	경기도 성남시 분당구 삼평동 686-1	070-7878-1000	http://www.yuracorp.co.kr
유텔	김호동	경기도 군포시 당정동 381-4	031-427-1020	http://www.u-tel.co.kr
㈜이노피아테크	장만호	경기도 상남시 중원구 갈마치로 215 A동 405호	070-7820-6300	http://www.innopiatech.com
주식회사 이디	박용후	경기도 성남시 중원구 상대원동 517-15 (둔촌대로457번길 14)	031-730-7300	http://www.ed.co.kr
㈜자람테크놀로지	백준현	경기도 성남시 분당구 야탑동 345-1 파인벤처빌딩 2층	031-779-6700,6701	http://www.zaram.com/
전자부품연구원	박청원	경기도 성남시 분당구 새나리로 25 (야탑동)	031-789-7000	http://www.keti.re.kr
주식회사 제이엔티이엔지	최승훈	경기도 성남시 중원구 사기막골로 148, 701호(상대원동, 중앙이노테크)	031-723-0855	http://www.jandt.co.kr
㈜제퍼로직	정종척	서울 강남구 역삼1동 679-5 아주빌딩 1801호	070-7010-7790	http://www.zephylogic.com
㈜지에스인스트루먼트	고재목	인천시 남구 길파로71번길 70 (주안동)	032-870-5641	http://www.gsinstrument.com
지엠테스트	고상현	충남 천안시 서북구 직산읍 군서1길 19(군서리 134)	041-410-2600	http://www.gmtest.com
충북테크노파크	남창현	충북 청주시 청원구 오창읍 연구단지로 40	043-270-2000	http://www.cbtp.or.kr
케이던스 코리아(유)	제임스 해댓	경기도 성남시 분당구 판교로 344 엠텍IT타워 9층(main office)/2층	031-728-3114	http://www.cadence.com
㈜코아리버	배종홍	서울시 송파구 가락본동 78번지 IT벤처타워 서관 11층	02-2142-3400	http://www.coreriver.com
콘티넨탈 오토모티브 시스템	선우 현	경기도 성남시 분당구 판교역로 220 솔리드스페이스빌딩	031-697-3800	http://www.conti-automotive.co.kr
클레어픽셀㈜	정헌준	경기도 성남시 분당구 판교로 242 판교디지털센터 A동 301호	031-8060-1440	http://www.clairpixel.com
키움인베스트먼트㈜	박상조	서울특별시 영등포구 여의나루로4길 18 키움파이낸스스퀘어빌딩 16층	02-3430-4800	http://www.kiwoominvest.com/
텔레칩스	이장규	서울특별시 송파구 올림픽로35다길 42 (신천동, 루터빌딩 19층~23층)	02-3443-6792	http://www.telechips.com
㈜티에이치엔	채 석	대구시 달서구 갈산동 973-3	053-583-3001	http://www.th-net.co.kr
티엘아이	김달수	경기도 성남시 중원구 양현로 405번길 12 티엘아이 빌딩	031-784-6800	http://www.tli.co.kr
파워큐브세미㈜	강태영	경기도 부천시 오정구 석천로397(부천테크노파크쌍용3차) 103동 901호	032-624-3700	http://www.powercubesemi.com/
페어차일드코리아반도체	김귀남	경기도 부천시 원미구 도당동 82-3	032-671-3842	http://www.fairchildsemi.com

회원명	대표자	주 소	전 화	홈페이지
㈜하이브론	이홍섭	인천광역시 부평구 청천동 안남로402번길 25 3층	070-4369-3973	http://www.hivron.com/
한국멘토그래픽스(유)	양영인	경기도 성남시 분당구 판교역로 192번길 12 (삼평동) 판교 미래에셋센터 7층	031-8061-0790	http://www.mentorkr.com
한국애질런트테크놀로지스	김승렬	서울 강남구 역삼로 542, 신사SNG빌딩2층	080-004-5090	http://www.agilent.co.kr
한국인터넷진흥원	백기승	서울시 송파구 중대로 135 (가락동) IT벤처타워	02-405-5118	http://www.kisa.or.kr
한국전기연구원	박경엽	경상남도 창원시 성산구 불모산로10번길 12 (성주동)	055-280-1114	http://www.keri.re.kr
한국전자통신연구원	이상훈	대전광역시 유성구 가정로 218	042-860-6114	http://www.etri.re.kr
한국정보통신기술협회	임차식	경기도 성남시 분당구 분당로 47	031-724-0114	http://www.tta.or.kr
한라비스테온공조	박용환	대전시 대덕구 신일동 1689-1	042-930-6114	http://www.hvccglobal.com
한백전자	진수춘	대전광역시 유성구 대학로 76번안길 35	042-610-1114	http://www.hanback.co.kr
한화탈레스	장시권	서울시 중구 청계천로 86 (장교동) 한화비딩 (19,20층)	02-729-3030	http://www.hanwhathales.com
㈜핸즈온테크놀러지	강현웅	서울특별시 강서구 양천로 583, 에이동 1901-1902호 (염창동, 우림블루나인)	02-2608-2633	http://www.ezlab.com
현대로템	김승탁	경기도 의왕시 철도박물관로 37	031-596-9114	http://www.hyundai-rotem.co.kr
현대모비스	정명철	서울시 강남구 역삼1동 679-4 서울인터내셔널타워	02-2018-5114	http://www.mobis.co.kr
현대엠엔소프트	차인규	서울시 용산구 원효로74 현대차사옥 9층	1577-4767	http://www.hyundai-mnsoft.com
현대오트론	김재범	경기도 성남시 분당구 판교로 344 엠텍 IT 타워	031-627-0990	http://www.hyundai-autron.com
현대자동차그룹	양웅철	경기도 화성시 장덕동 772-1	02-3464-1114	http://www.hyundai-motor.com
현대케피코	박정국	경기도 군포시 고산로 102	031-450-9015	http://www.hyundai-kefico.com
휴먼칩스	손민희	서울시 송파구 가락본동 10 신도빌딩	070-8671-4700	http://www.humanchips.co.kr
휴인스	송태훈	경기도 성남시 분당구 대왕판교로 670 비-605	031-719-8200	http://www.huins.com
히로세 코리아㈜	이상엽	경기 시흥시 정왕동 희망공원로 250	031-496-7000	http://www.hirose.co.kr

단체회원 명단

회원명	주 소	전 화	홈페이지
가톨릭대중앙도서관	경기부천시원미구역곡2동산43-1	032-340-3607	
가톨릭상지대학도서관	경북안동시율세동393	032-340-3607	http://www.csangji.ac.kr/~library/
강릉대도서관	강원강릉시지변동산1		http://211.114.218.253/
강원관광대도서관	강원태백시황지동439	033-552-9005	http://www.kt.ac.kr
강원대도서관	강원춘천시효자2동192-1	033-250-9000	http://library.kangwon.ac.kr
경동대도서관	강원고성군토성면봉포리산91-1	033-639-0371	http://www.kyungdong.ac.kr
경주대도서관	경북경주시효현동산42-1	054-770-5051	http://www.kyongju.ac.kr
건국대도서관	서울성동구모진동93-1	02-450-3852	http://www.konkuk.ac.kr
건양대중앙도서관	충남논산시내동산30	041-730-5154	http://lib.konyang.ac.kr
경기대중앙도서관	경기수원시팔달구이의동산94-6	031-240-7135	http://203.249.26.247/
경기공업대도서관	경기시흥시정왕동시화공단3가102	031-496-4571	http://210.181.136.6/
경남대중앙도서관	경남마산시월영동449	055-249-2906	http://library.kyungnam.ac.kr
경도대도서관	경북예천군예천읍청복리947-1	054-650-0143	http://libweb.kyongdo.ac.kr
경북대도서관	대구북구산격동1370	053-955-500 1	http://kudos.knu.ac.kr
경북대전자공학과	대구북구산격동1370	053-950-5506	http://palgong.knu.ac.kr
경운대벽강중앙도서관	경북구미시산동면인덕리55	054-479-1083	http://www.kyungwoon.ac.kr
경일대도서관	경북경산군하양읍부호리33	053-950-7790	http://cham.kyungil.ac.kr
경산대도서관	경북경산시점촌동산75		http://library.ksucc.ac.kr
경상대도서관	경남진주시가좌동900	055-751-5098	http://library.gsnu.ac.kr
경성대도서관	부산남구대연동110-1	051-620-4394	http://kulis1.kyungsung.ac.kr
경희대학교	중앙도서관 경기용인시기흥구서천동1번지	031-201-3219	http://library.khu.ac.kr
고려대과학도서관	서울성북구안암동5가1번지	02-920-1709	http://kulib.korea.ac.kr
고려대서창캠퍼스도서관	충남연기군조치원읍서창동208		http://kuslib.korea.ac.kr
고속도로정보통신공단	경기용인기흥읍공세리260-1	031-280-4230	
공군사관학교도서관	충북청원군남일면쌍수리사서함335-1	043-229-6085	http://www.afa.ac.kr
공군전투발전단무기체계실	충남논산군두마면부남리사서함501-317호	041-506-5260, 5281	
공주대도서관	충남공주시신관동182	041-850-8691	http://knulib.kongju.ac.kr
광명하안도서관	경기광명시하안2동683	031-680-6376	http://www.kmlib.or.kr
광운대도서관	서울노원구월계동447-1	02-918-1021~2	http://kupis.kwangwoon.ac.kr
국민대성곡도서관	서울성북구정릉동861-1	02-910-4200	http://kmulmf.kookmin.ac.kr
김포대학도서관	경기김포시월곶면포내리산14-1	031-999-4126	http://lbr.kimpo.ac.kr
국방대학교도서관	서울은평구수색동205	02-300-2415	
국방제9125부대	서울중앙우체국사서함932호		
국방품질관리연구소정보관리실	서울청량리우체국사서함 276호		http://dqaa.go.kr
국방과학연구소서울자료실	서울송파구송파우체국사서함132호	02-3400-2541	http://www.add.re.kr
방위사업청	서울용산구용산2가동7번지	02-2079-5213	
극동대학교도서관	충북음성군감곡면왕장리산5-14	043-879-3568	http://lib.kdu.ac.kr
금강대학교도서관	충남논산시 상월면 대명리 14-9	041-731-3322	http://lib.ggu.ac.kr
LG정밀(주)제2공장자료실	경기오산시가수동379	031-772-1171(318)	http://www.lginnotek.com
LG정보통신(주)자료실	경북구미시공단동299	054-460-5311	http://www.lge.co.kr

회원명	주 소	전 화	홈페이지
금오공대도서관	경북구미시신평동188-1	054-461-0131~4	http://ran.kumoh.ac.kr
남서울대도서관	충남천안시성환읍매주리21	041-580-2076	http://ness.nsu.ac.kr
단국대도서관	경기도용인시수지구죽전로 152	1899-3700	http://www.dankook.ac.kr
단국대율곡기념도서관	충남천안시동남구단대로 119 (안서동 산29)	041-550-1621	http://dulis.anseo.dankook.ac.kr
대구대도서관	대구남구대명동2288	053-850-2081~6	http://love.taegu.ac.kr
대원공과대학도서관	충북제천시신월동산22-8	043-649-3202	http://lib.daewon.ac.kr
동서울대학도서관	경기성남시수정구복정동423	031-720-2191	http://dlibrary.dsc.ac.kr
대전대도서관	대전동구용운동96-3	042-280-2673	http://libweb.taejon.ac.kr
대전한밭대도서관	대전동구삼성2동305-3	042-630-0616	http://tjdigital.tnut.ac.kr
대전한밭도서관	대전중구문화동145-3	042-580-4255	http://hanbat.metro.taejon.kr
대진대중앙도서관	경기포천군포천읍선단리산11-1	031-535-8201~5	http://library.daejin.ac.kr
대천대도서관	충남보령시주포면관산리산6-7	041-939-3026	http://www.dcc.ac.kr
동강대도서관	광주시 북구 두암동771	062-520-2114	http://dongkang.ac.kr
동국대도서관	서울중구필동3가26	02-260-3452	http://lib.dgu.ac.kr
동서대도서관	부산사상구주례동산69-1	051-320-1640	http://libcenter.dongseo.ac.kr
동아대도서관	부산서구동대신동3가1	051-204-0171	http://av3600.donga.ac.kr
동양대도서관	경북영주시풍기읍교촌동1번지	054-630-1053	http://dyucl.dyu.ac.kr
동양공업전문대학도서관	서울구로구고척동62-160	02-610-1731	http://www.dongyang.ac.kr
동원대학술정보센터	경기광주군실촌면신촌리산1-1	031-763-8541(140)	http://www.tongwon.ac.kr
두원공과대학도서관	경기안성군죽산면장원리678		http://www.doowon.ac.kr
만도기계중앙연구소	경기남양주군와부읍덕소리95	031-768-6211	http://www.mando.com
목원대도서관	대전중구목동24	042-252-9941~50	http://lib.mokwon.ac.kr
목포대도서관	전남무안군청계면도림리61		http://203.234.22.46/
목포해양대도서관	전남목포시죽교동572	061-240-7114	http://lib.miryang.ac.kr
배재대도서관	대전서구도마2동439-6	042-520-5252	http://lib.mmu.ac.kr
부경대도서관	부산남구대연3동599-1	051-622-3960	http://libweb.pknu.ac.kr
부산대도서관	부산금정구장전동산30	051-510-1814	http://pulip.pusan.ac.kr
부산외국어대도서관	부산남구우암동산55-1		http://www.pufs.ac.kr
부천대도서관	경기부천시원미구심곡동454-3	032-610-3272	http://www.bucheon.ac.kr
한국과학기술정보연구원정보자료실	서울동대문구청량리동206-9		http://www.kiniti.re.kr
삼지전자(주)	서울금천구가산동459-21	02-850-8167	
삼척산업대도서관	강원삼척시교동산253	033-570-6278	http://lib.samchok.ac.kr
상명대학교컴퓨터시스템공학전공	충남천안시안서동산98-20	041-550-5356	
상주대도서관	경북상주시가장동386	054-530-5641	http://san.sangju.ac.kr
상지대중앙도서관	강원원주시우산동산41	033-730-0366	http://lib.sangji.ac.kr
생산기술연구원정보자료실	서울금천구가산동371-36	02-850-9142~3	http://www.kitech.re.kr
산업기술시험평가연구소자료실	서울구로구구로동222-13	02-860-1292	http://www.ktl.re.kr
삼성SDI	경기용인시기흥구공세동	031-288-4121	http://www.samsungSDI.co.kr
서강대도서관	서울마포구신수동1-1	02-751-0141	http://loyola1.sogang.ac.kr
서경대도서관	서울성북구정릉동16	02-940-7036	http://lib.seokyeong.ac.kr
서울대도서관	서울관악구신림동산56-1	02-880-5114	http://solarsnet.snu.ac.kr
서울대전기공학부해동학술정보실	서울관악구신림동산56-1	02-880-7278	
서울산업대도서관	서울도봉구공릉동172	02-972-1432	http://cdserver.snut.ac.kr
서울시립대도서관	서울동대문구전농동8-3	02-2245-8111	http://plus.uos.ac.kr

회원명	주 소	전 화	홈페이지
서울여자대도서관	서울노원구공릉2동126	02-970-5305	http://lib.swu.ac.kr
서울통신기술(주)통신연구소	서울강동구성내3동448-11	02-2225-6613	http://www.scommtech.co.kr
선문대도서관	충남아산시탕정면갈산리100	041-530-2525	http://delta.sunmoon.ac.kr
성결대도서관	경기안양시안양8동147-2		http://211.221.247.5
성균관대과학도서관	경기수원시장안구천천동287-1	031-290-5114	http://skksl.skku.ac.kr
성남산업진흥재단(재)	경기성남시수정구수진1동587	031-758-9901	http://www.ked.or.kr
성신여대도서관	서울성북구동선동3가249-1	02-920-7275	http://lib.sungshin.ac.kr
세종대도서관	서울광진구군자동98	02-3408-3098	http://sjulib.sejong.ac.kr
수원대중앙도서관	경기화성군봉담면와우리산2-2	031-232-2101(378)	http://lib.suwon.ac.kr
수원과학대도서관	경기화성군정남면보통리산9-10	031-252-8980	http://www.suwon-sc.ac.kr
순천대도서관	전남순천시매곡동315	061-752-8131	http://203.246.106.33/
숭실대도서관	서울동작구상도1동1-1	02-820-0114	http://oasis.soongsil.ac.kr
안동대도서관	경북안동시송천동388	054-850-5238	http://library.ajou.ac.kr
안산1대학	경기도 안산시 상록구 일동 752	031-400-6900	http://www.ansan.ac.kr
안양대도서관	경기안양시만안구안양5동708-113	031-670-7557	http://www.anyang.ac.kr
안양과학대학도서관	경기안양시만안구안양3동산39-1	031-441-1058~9	http://www.anyang-c.ac.kr
에스씨지코리아(주)	서울강남구대치3동942해성B/D17층	02-528-2700	http://www.onsemi.com
에이치텔레콤(주)	경기도성남시중원구상대원동513-15	031-777-1331	http://www.htel.co.kr
여수대도서관	전남여수시둔덕동산96-1	061-659-2602	http://www.yosu.ac.kr
연세대도서관	서울서대문구신촌동134	02-361-2114	http://library.yonsei.ac.kr
영남대중앙도서관	경북경산시대동214-1	053-882-4134	http://libs.yeungnam.ac.kr
영동공과대학도서관	충북영동군영동읍설계리산12-1	043-740-1071~2	http://210.125.191.101/
오산전문대학도서관	경기오산시청학동17	031-372-1181	http://osanlib.osan-c.ac.kr
(주)오피콤	서울강남구수서동724(로스데일B/D5층)	02-3413-2500	http://www.opicom.co.kr
충북과학대학도서관	충북옥천군옥천읍금구리40	043-730-6251	http://www.ctech.ac.kr
용인대도서관	경기용인시삼가동470	031-30-5444	http://www.yongin.ac.kr
우리기술투자(주)	서울강남구대치동946-14(동원B/D14층)	02-508-7744	http://www.wooricapital.co.kr
우송대중앙도서관	대전동구자양동산7-6	042-630-9668~9	http://pinetree.woosongtech.ac.kr
울산대중앙도서관	울산광역시남구무거동산29	052-278-2472	http://library.ulsan.ac.kr
원광대중앙도서관	전북이리시신룡동344-2	063-850-5444	http://library.wonkwang.ac.kr
(주)원이앤씨	성남구 중원구 상대원동 190-1	031-776-0377	
위덕대학교도서관	경북경주시강동면유금리산50	054-760-1051	http://lib.uiduk.ac.kr
유한대학도서관	경기부천시소사구괴안동185-34		http://ic.yuhan.ac.kr
육군제1266부대연구개발처자료실	부산남구대연동우체국사서함1-19		
육군사관학교도서관	서울노원구공릉동사서함77호	02-975-0064	http://www.kma.ac.kr
육군종합군수학교도서관	대전유성구추목동사서함78-401	042-870-5230	
익산대학도서관	전북익산시마동194-5	063-840-6518	http://library.iksan.ac.kr
이화여대중앙도서관	서울서대문구대현동11-1	02-3277-3137	http://ewhabk.ewha.ac.kr
인제대도서관	경남김해시어방동607번지	055-320-3413	http://ilis1.inje.ac.kr
인천대도서관	인천남구도화동177	032-774-5021~5	http://wlib.incheon.ac.kr
인천전문대도서관	인천남구도화동235		http://www.icc.ac.kr
(주)인텍웨이브	서울구로구구로3동197-17(에이스테크노타워501)	02-3282-1185	http://www.intechwave.com
인하대도서관	인천남구용현동253	032-862-0077	http://library.inha.ac.kr
인하공전도서관	인천남구용현동253	032-870-2091-3	http://library.inhatc.ac.kr

회원명	주 소	전 화	홈페이지
전남과학대학도서관	전남곡성군옥과면옥과리산85	061-360-5050	http://www.chunnam-c.ac.kr
전남대도서관	광주북구용봉동300	062-550-8315	http://168.131.53.95/
호원대도서관	전북군산시임피면월하리727	063-450-7106	http://indang.howon.ac.kr
전주대중앙도서관	전북전주시완산구효자동3가1200	063-220-2160	http://lib.jeonju.ac.kr
우석대학도서관	전북완주군삼례읍후정리490	063-273-8001(206)	http://library.woosuk.ac.kr
제주대도서관	제주제주시아라1동1	064-755-6141	http://chulic.cheju.ac.kr
중부대도서관	충남금산군추부면마전리산2-25	041-750-6571	http://www.joongbu.ac.kr
중앙대도서관	서울동작구흑석동221	02-815-9231	http://www.lib.cau.ac.kr
중앙대안성도서관	경기안성군대석면내리		http://www.alib.cau.ac.kr
창원대학도서관	경남창원시퇴촌동234	055-283-2151	http://lib.changwon.ac.kr
창원시립도서관	창원시반송동산51-5	055-281-6921~2	http://city.changwon.kyongnam.kr
청양대도서관	충남청양군청양읍벽천리90		http://www.cheongyang.ac.kr
청주대도서관	충북청주시상당구내덕동36	043-229-8648	http://wuam.chongju.ac.kr
천안대도서관	충남천안시안서동산85-1		http://moon.chonan.ac.kr
천안공업대자료실	충남천안시부래동275		http://www.cntc.ac.kr
한국철도대학도서관	경기의왕시월암동산1-4	031-454-4019	http://library.krc.ac.kr
초당대도서관	전남무안군무안읍성남리419	061-450-1901~3	http://library.chodang.ac.kr
충북대도서관	충북청주시개신동산48	043-261-3114~9	http://cbnul.chungbuk.ac.kr
충주대도서관	충북중원군이류면검단리123	043-842-7331~5	http://chains.chungju.ac.kr
탐라대도서관	제주서귀포시하원동산70	064-735-2000	http://www.tamna.ac.kr
특허청심사4국전자심사담당관실	대전서구둔산동920 042-481-5673		
포항공과대학도서관	경북포항시포항우체국사서함125호	054-275-0900	http://www.postech.ac.kr
한경대도서관	경기안성시석정동67	031-670-5041	http://www.hankyong.ac.kr
하남시립도서관	경기하남시신장동520-2	031-790-6597	http://hanamlib.go.kr
한국정보통신기능대학원	경기광주시 역동 181-3	031-764-3301	http://www.icpc.ac.kr
한국과학기술원과학도서관	대전유성구구성동373-1	042-861-1234	http://darwin.kaist.ac.kr
한국과학기술연구원도서관	서울성북구하월곡동39-1	02-962-8801(2418)	http://161.122.13.12/
한국기술교육대학도서관	충남천안군병천면가전리산37	041-560-1253~4	http://dasan.kut.ac.kr
한국방송통신대학도서관	서울종로구동숭동169	02-7404-381	http://knoulib.knou.ac.kr
한국산업기술대도서관	경기시흥시정왕동사화공단3가101	031-496-8002	http://www.kpu.ac.kr
한국산업기술평가원	서울강남역삼동701-7(한국기술센타11층)	02-6009-8034	http://www.itep.re.kr
한국외국어대용인캠퍼스도서관	경기용인군왕산리산89	031-309-4130	http://weblib.hufs.ac.kr
한국전력기술(주)	경기도용인시구성읍마북리 360-9	031-289-4015	http://www.kopec.co.kr
한전전력연구원기술정보센터	대전유성구문지동103-16	042-865-5875	http://www.kepri.re.kr
한국전자통신연구원도서실	대전유성구가정동161	042-860-5807	http://www.etri.re.kr
한국조폐공사기술연구소기술정보실	대전유성구가정동90	042-823-5201(592)	http://www.komsep.com
한국철도기술연구원자료실	경기의왕시월암동374-1	031-461-8531	http://www.krri.re.kr
한국항공대도서관	경기고양시화전동200-1	031-309-1862	http://210.119.25.2/
한국항공우주연구소기술정보실	대전유성구어은동52	042-868-7811	http://www.kari.re.kr
한국해양대도서관	부산영도구동삼동1	051-414-0031	http://kmulib.kmaritime.ac.kr
한동대도서관	경북포항시북구흥해읍남송리3		http://salt.handong.edu
한세대도서관	경기군포시당정동604-5	031-450-5165	http://lib.hansei.ac.kr
한양대도서관	서울성동구행당동17	02-209-2114	http://library.hanyang.ac.kr
한양대안산도서관	경기안산시대학동396	031-869-2111	http://information.hanyang.ac.kr

회원명	주 소	전 화	홈페이지
해군제9135부대군수발전부표준규격과	경남진해시현동사서함2호		
해군사관학교도서관	경남진해시앵곡동사서함1-1		http://www.navy.ac.kr
해군정비창기술연구소	경남진해시현동사서함602-3호	055-549-3602	
현대자동차기술관리부	정보자료실 경남울산시중구양정동700		http://www.hyundai-motor.com
SK 하이닉스 메모리연구소정보자료실	경기이천군부발읍아미리산136-1	031-630-4514	
협성대학술정보관	경기화성군봉담읍상리8-1	031-299-0658	http://hulins.hyupsung.ac.kr
혜전대도서관	충남홍성군홍성읍남장리산16	041-630-5167	http://www.hyejeon.ac.kr
한라대학	강원원주시흥업면흥업리산66	031-760-1184	http://lib.halla.ac.kr
한서대도서관	충남서산군해미면대곡리360	041-660-1114	http://library.hanseo.ac.kr
호남대도서관	광주광산구서봉동59-1	062-940-5183	http://library.honam.ac.kr
호서대도서관	충남아산군배방면세출리산29-1	041-540-5080~7	http://library.hoseo.ac.kr
홍익대도서관	서울마포구상수동72-1	02-334-0151(409)	http://honors.hongik.ac.kr
홍익대문정도서관	충남연기군조치원읍신안동	041-860-2241	http://shinan.hongik.ac.kr
대구효성가톨릭대도서관	경북경산시하양읍금락1리330	053-850-3264	http://lib.cataegu.ac.kr

박사학위 논문초록 게재 안내

본 학회에서는 전자공학회지에 국내외에서 박사학위를 취득한 회원의 학위 논문초록을 게재하고 있으니 해당 회원 여러분의 적극적인 참여를 바랍니다.(단, 박사학위 취득후 1년 이내에 제출해 주시는 것에 한함.)

성 명	(국문) (한문) (영문)			
학위취득	학 교 명	대학교 학과	생년월일	년 월 일
	취득년월	년 월	지도교수	
현 근무처 (또는 연락처)	주 소			(우편번호 :)
	전화번호		FAX번호	
학위논문 제목	국 문			
	영 문			
KEY WORD				

국문 초록(요약) : 1000자 이내

보내실 곳 _ 06130
서울특별시 강남구 테헤란로 7길 22(역삼동, 과학기술회관 신관 907호)
사무국 회지담당자앞
E-mail : edit@theieie.org
TEL : (02)553-0255(내선 3) FAX : (02)552-6093

대한전자공학회
IEIE The Institute of Electronics and Information Engineers

이 학술지는 정부재원으로 한국과학기술단체총연합회의 지원을 받아 출판되었음.

전자공학회지 〈월간〉 제45권 제7호(통권 제410호) The Magazine of the IEIE

2018년 7월 20일 인쇄
2018년 7월 25일 발행

발행및 편집인 **(사) 대한전자공학회 회장 백 준 기**
인쇄인 **한림원(주) 대표 김 흥 중**
발행인 **사단법인 대 한 전 자 공 학 회**
(우)06130 서울 강남구 테헤란로 7길 22(역삼동, 과학기술회관 신관 907호)
TEL.(02)553-0255~7 FAX.(02)552-6093
E-mail : ieie@theieie.org
Homepage : http://www.theieie.org
씨티은행 102-53125-258
지로번호 7510904

SAMSUNG

Introducing the

Galaxy S9+

The Camera. Reimagined.

LG전자

인공지능, 능력이 되다

LG G7 ThinQ